



CMOS IC应用手册

S-19912/19913系列的抑噪措施和CISPR25测量结果

Rev.1.0_00

© ABLIC Inc., 2022

本应用手册是说明在S-19912/19913系列中用于减少传导噪声和放射噪声的推荐抑噪部件、推荐基板布局的参考资料。此外还汇总了遵循CISPR25的测量结果。
有关产品的详情和规格，请确认产品的数据表。

目 录

1. 抑噪部件的必要性.....	3
2. 基板布局.....	4
2.1 输入电容器 (C_{IN0} 、 C_{IN1}) 的配置和VIN、VSS的布局	4
2.2 电感器 (L1) 的配置和布局.....	4
2.3 输出电容器 (C_{OUT1}) 的配置和布局	5
2.4 推荐基板布局	5
3. 测量条件和测量结果	6
3.1 测量条件.....	6
3.2 电压法的测量结果	7
3.3 ALSE法的测量结果	8
4. 注意事项.....	9
5. 相关资料.....	9

1. 抑噪部件的必要性

图1是在没有附加抑噪部件的电路中使用电压法的测量结果。测量结果大幅度的超过CISPR25 class5的标准值，但这并不只限于本IC，普通的DC-DC控制器IC也存在相同的趋势。也就是说，要满足CISPR25 class5的严格要求，就必需附加抑噪部件。图1 ~ 图3是以本公司以往产品为例说明抑噪部件的必要性。

本公司以往产品 (2.2 MHz), $V_{IN} = 13\text{ V}$, $V_{OUT} = 5\text{ V}$, $I_{OUT} = 600\text{ mA}$, 无抑噪部件

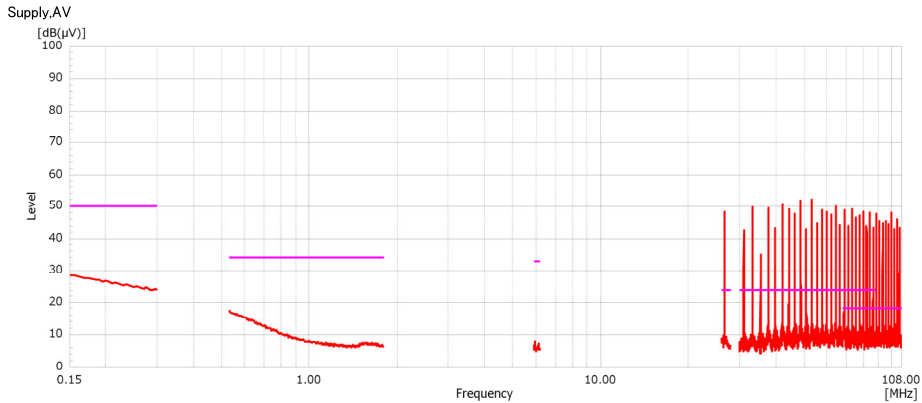


图1

图2为附加了表1所示推荐抑噪部件L2、 C_{F2} 、 C_{F4} 的电路图。图3为在该电路中使用电压法的测量结果。通过附加抑噪部件，减少了20 MHz以上的噪声，可以满足CISPR25 class5的要求。此外，本IC因在IC内部将SW端子的压摆率调整成最佳值，因此可通过最小限度的抑噪部件来获取较大的余量。

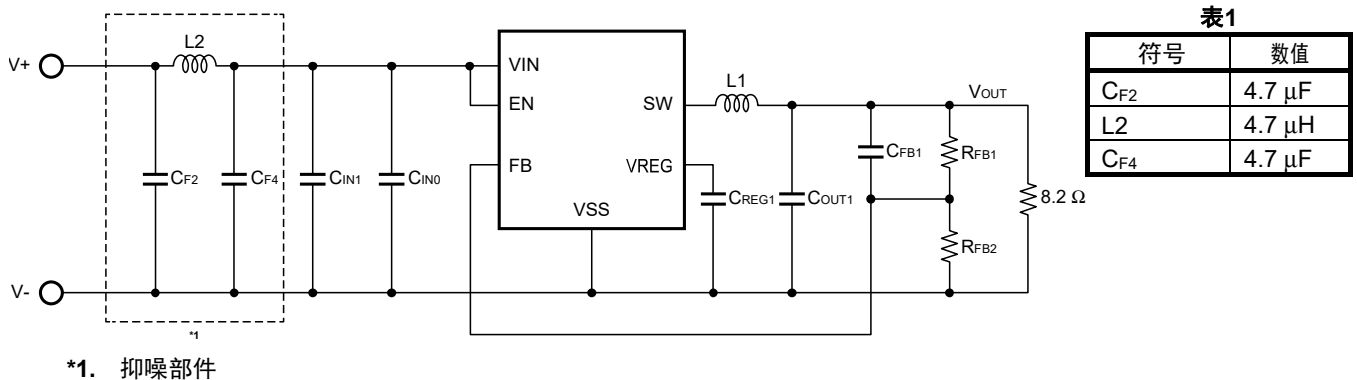


图2

本公司以往产品 (2.2 MHz), $V_{IN} = 13\text{ V}$, $V_{OUT} = 5\text{ V}$, $I_{OUT} = 600\text{ mA}$, 有抑噪部件

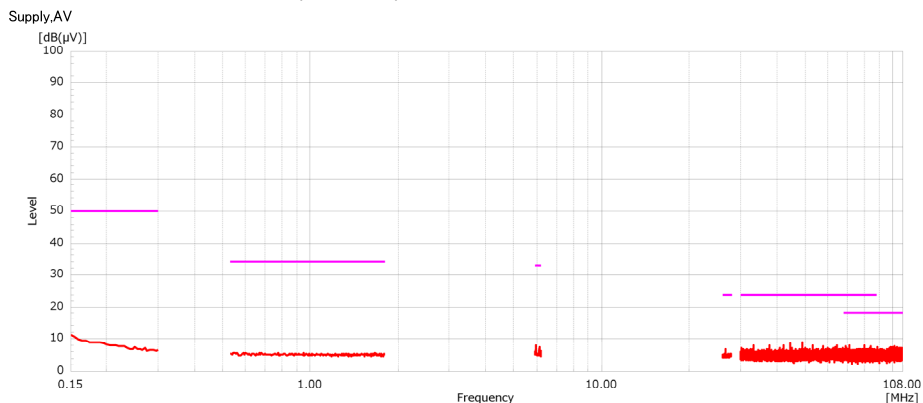


图3

本IC为了减少传导噪声和放射噪声，内置了扩频时钟发生电路。有关详情，请查阅S-19912A/19912B/19913A/19913B系列数据表。

2. 基板布局

2.1 输入电容器 (C_{IN0} 、 C_{IN1}) 的配置和VIN、VSS的布局

输入电容器的配置以及VIN、VSS的布线是最重要。输入电容器请最优先靠近IC配置在同一表面层。

C_{IN1} 是稳定IC的工作与抑制噪声所必备的电容器。 C_{IN0} 是并联于 C_{IN1} 的0.1 μF 左右的电容器，可以抑噪10 MHz以上。根据需要请追加抑噪用电容器。

图4为将输入电容器配置在IC附近的示例。粗线表示IC内部高侧端功率MOS FET打开瞬间的电流路径。首先，电流从输入电容器流入VIN端子，在IC内部按打开的高侧端功率MOS FET，关闭的低侧端功率MOS FET寄生电容的顺序经由，从VSS端子返回输入电容器。在本示例中，通过减少电流路径的阻抗，将在VIN、VSS布线发生的噪声控制在最小。

另外，图5为远离IC配置了输入电容器，VSS端子没有连接到IC下方VSS的示例。此时，在输入电容器 - VIN端子间存在寄生电感值 (L_{p1})。同时，由于输入电容器 - VSS端子间的电流路径大幅度延长，因此寄生电感值 ($L_{p2} + L_{p3} + L_{p4}$) 也会变得非常大。在本示例中，电流路径的阻抗增加，VIN、VSS布线产生的噪声也会变大。

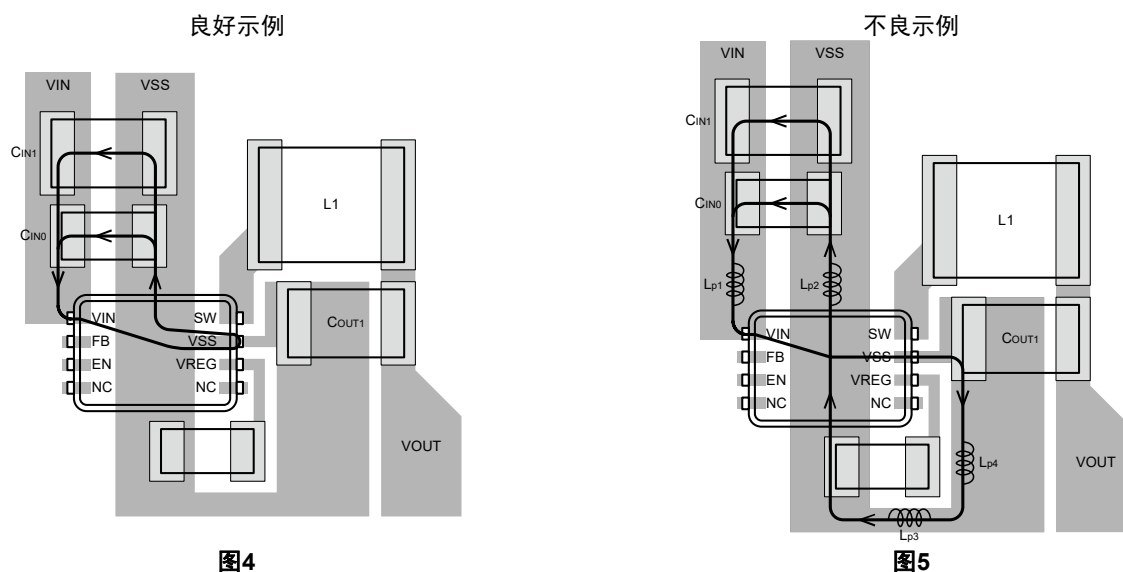


图4

图5

2.2 电感器 (L1) 的配置和布局

请设置SW端子的布线面积为最小。在电流容量的容许范围内请缩小布线宽度。从SW端子输出的矩形波电压含有高频成分，因此SW布线成天线状，放射噪声有可能会增加。此外，由于前述矩形波电压的高频成分通过寄生电容从SW端子传导到VOUT，因此，SW布线请不要靠近VOUT布线。电感器请选择放射噪声较小的闭合磁路类型。

图6为缩小SW端子 - L1间的布线面积，延长SW布线 - VOUT布线间距离的示例。

图7为SW布线面积过大，SW布线 - VOUT布线间有较短的距离存在，寄生电容量 (C_p) 过大的示例。

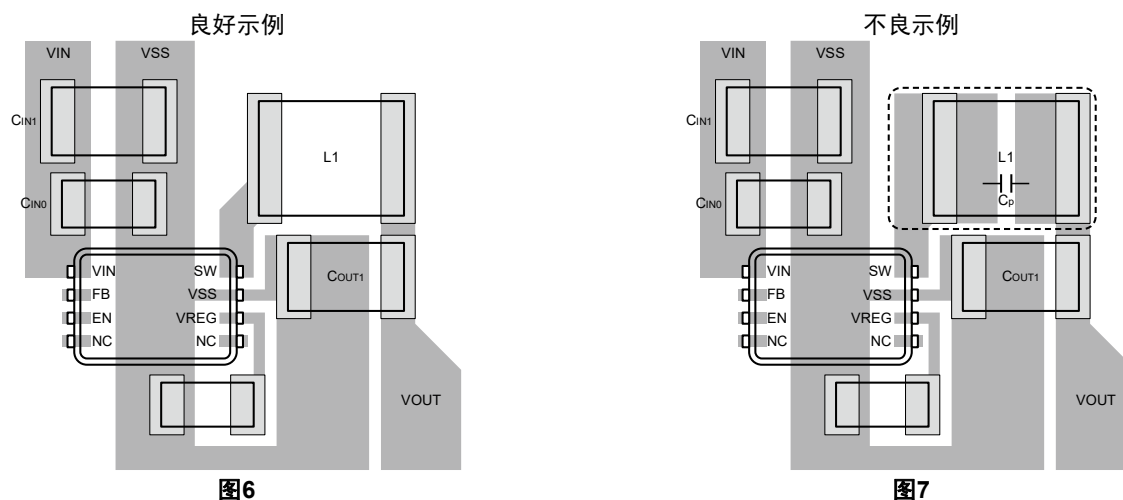


图6

图7

2.3 输出电容器 (C_{OUT1}) 的配置和布局

C_{OUT1}请配置在IC的附近。

如果减少粗线的电流路径 (SW端子 → L1 → C_{OUT1} → VSS端子) 面积, 可将产生的放射噪声控制到最小。VOUT布线请务必经由C_{OUT1}焊盘拉出。以此避免L1和C_{OUT1}的平滑性作用变弱, 导致SW端子的矩形波电压的高频成分被传导到VOUT。同样, 如果扩大布线宽度时, 也请经由C_{OUT1}焊盘拉出布线。

图8为缩小电流路径面积的示例。VOUT布线经由C_{OUT1}焊盘拉出。

图9为IC和C_{OUT1}的距离较长, 电流路径的面积较大的示例。VOUT布线不經由C_{OUT1}焊盘而经由L1的焊盘拉出。

图10为经由C_{OUT1}焊盘之前扩大VOUT布线宽度的示例。

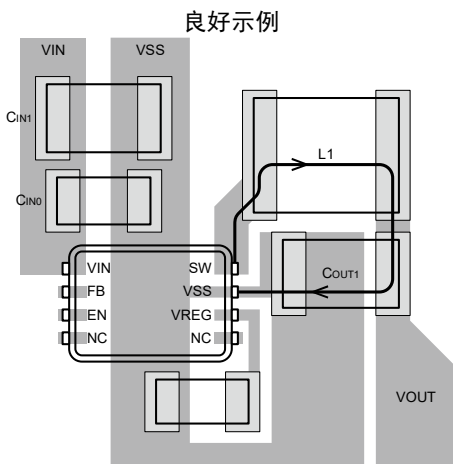


图8

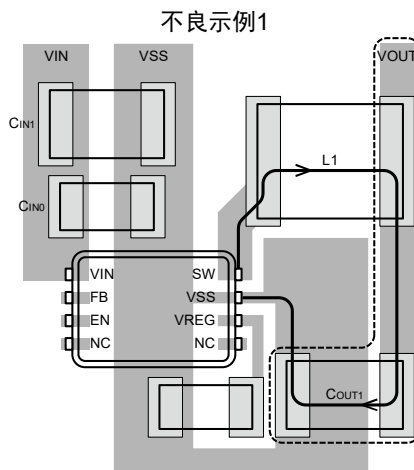


图9

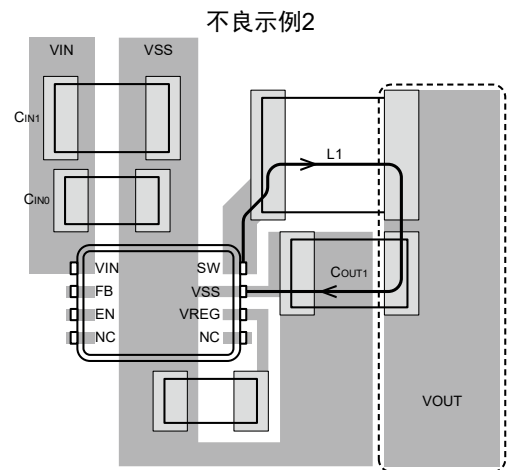


图10

2.4 推荐基板布局

至此说明的推荐基板布局如图11所示。

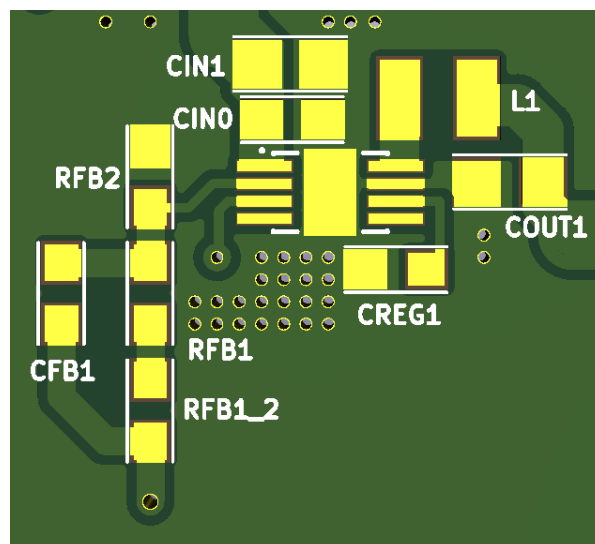


图11

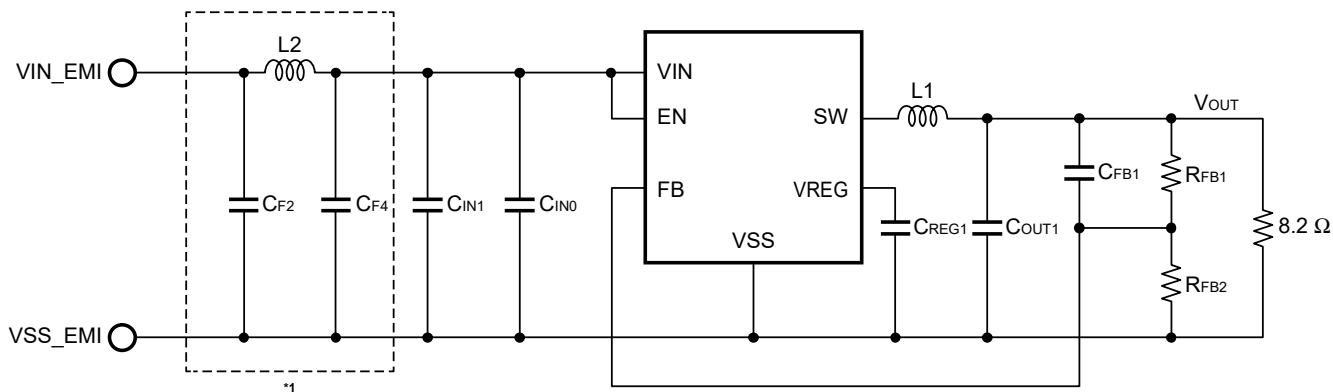
S-19912/19913系列的抑噪措施和CISPR25测量结果

3. 测量条件和测量结果

3.1 测量条件

图12为S-19913A评价基板的电路图。安装了表2所示的部件。

S-19913A, $V_{IN} = 13\text{ V}$, $V_{OUT} = 5\text{ V}$, $I_{OUT} = 600\text{ mA}$,
遵循CISPR25 Edition 4.0 2016-10



*1. 抑噪部件

图12 S-19913A评价基板的电路图

表2

符号	数值	型号	厂家
CF2	4.7 μF	CGA4J1X7R1H475K125AC	TDK Corporation
L2	4.7 μH	TFM252012ALVA4R7MTAA	TDK Corporation
CF4	4.7 μF	CGA4J1X7R1H475K125AC	TDK Corporation
CIN1	4.7 μF	CGA4J1X7R1H475K125AC	TDK Corporation
CIN0	0.1 μF	CGA3E2X7R1H104K	TDK Corporation
L1	4.7 μH	TFM252012ALVA4R7MTAA	TDK Corporation
CREG1	1.0 μF	CGA3E1X7R1C105K080AC	TDK Corporation
COUT1	10 μF	CGA4J3X7S1A106K125AB	TDK Corporation
CFB	33 pF	-	-
RFB1	84 k Ω	-	-
RFB2	16 k Ω	-	-

图13为实际的基板。

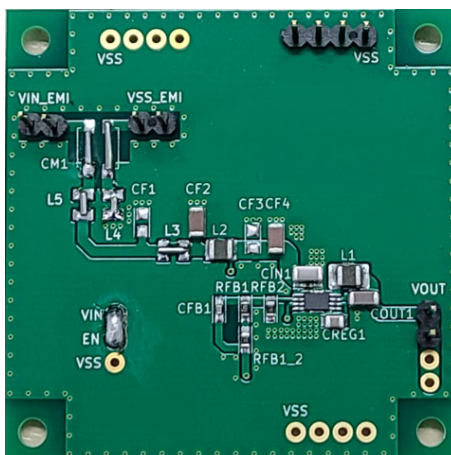


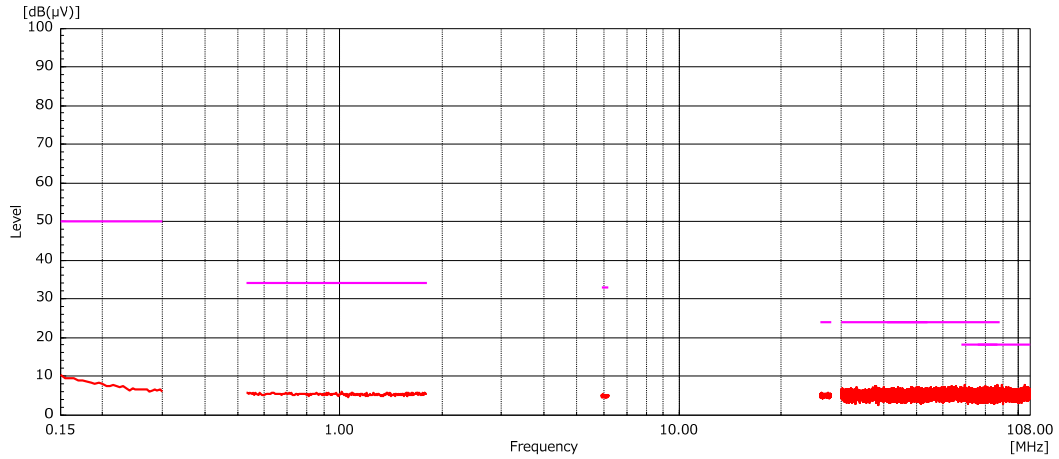
图13

3.2 电压法的测量结果

图14为电压法的测量结果。

S-19913A Supply : VIN_EMI, Return : VSS_EMI, AV : average

Supply, AV



Return, AV

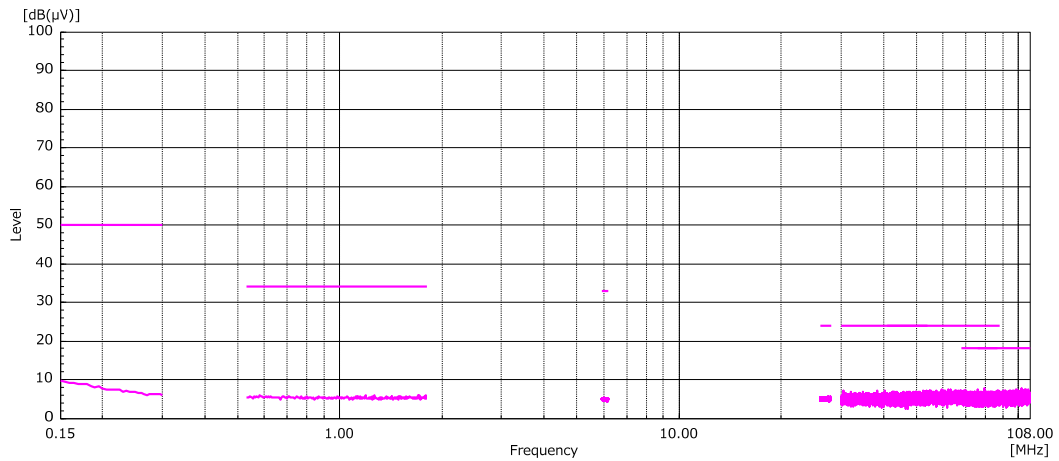


图14

3.3 ALSE法的测量结果

图15、图16为ALSE法的测量结果。

S-19913A V : vertical, H : horizontal, AV : average

V, AV

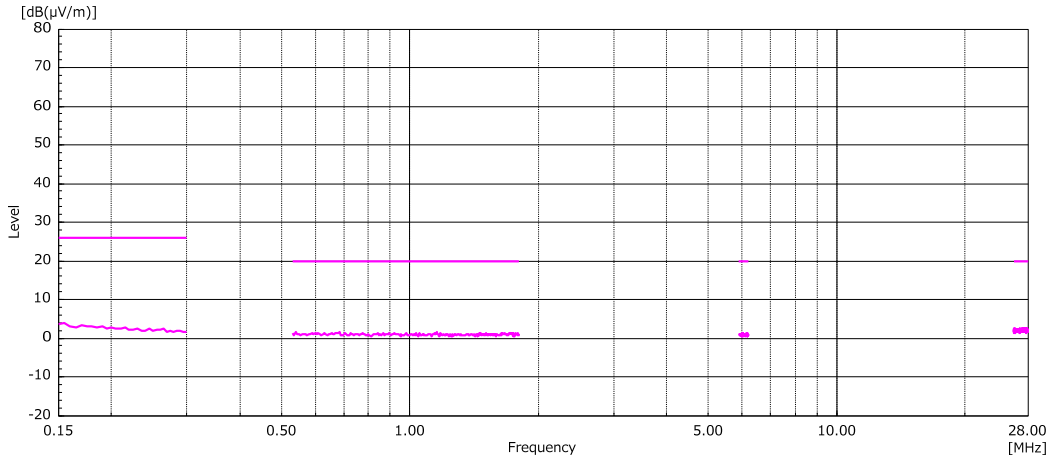
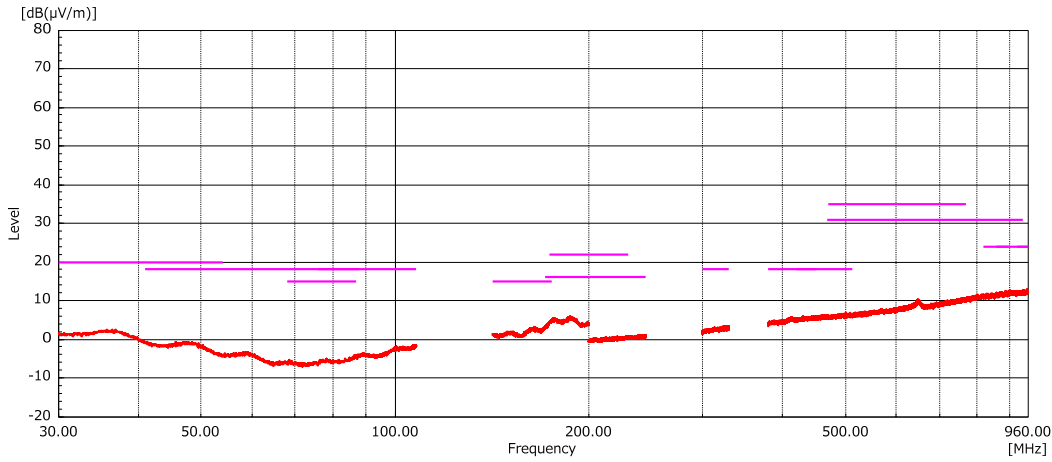


图15

H, AV



V, AV

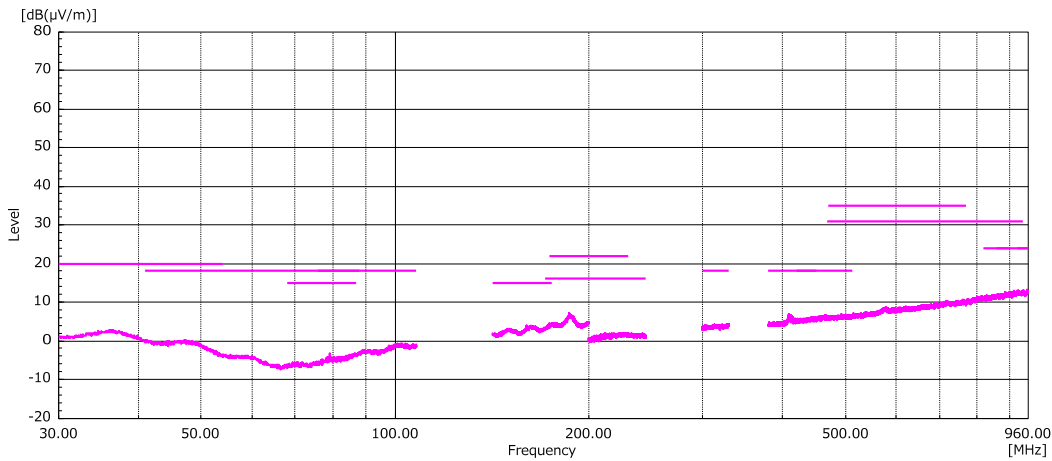


图16

4. 注意事项

- 本资料中所登载的应用电路示例，是本公司IC产品中具有代表性的应用示例。
在使用之前，务请进行充分的测试。
- 本IC虽内置了防静电保护电路，但请不要对IC施加超过保护电路性能的过大静电。
- 使用本公司的IC生产产品时，如因其产品中对该IC的使用方法或产品的规格、或因进口国等原因，使包括本IC产品在内的制品发生专利纠纷时，本公司概不承担相应责任。

5. 相关资料

有关S-19912/19913系列的详情，请参阅下述的数据表。

S-19912A/19912B/19913A/19913B系列 数据表

本应用手册以及数据表的内容，有可能未经预告而更改。

有关详情，请与代理商联系。

最新版本的数据表请在本公司Web网站上选择产品分类和产品名称，下载PDF文件。

www.ablic.com 艾普凌科有限公司 Web网站

免责声明 (使用注意事项)

1. 本资料记载的所有信息 (产品数据、规格、图、表、程序、算法、应用电路示例等) 是本资料公开时的最新信息, 有可能未经预告而更改。
2. 本资料记载的电路示例和使用方法仅供参考, 并非保证批量生产的设计。使用本资料的信息后, 发生并非因本资料记载的产品 (以下称本产品) 而造成的损害, 或是发生对第三方知识产权等权利侵犯情况, 本公司对此概不承担任何责任。
3. 因本资料记载错误而导致的损害, 本公司对此概不承担任何责任。
4. 请注意在本资料记载的条件范围内使用产品, 特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和 (或) 事故等的损害, 本公司对此概不承担任何责任。
5. 在使用本产品时, 请确认使用国家、地区以及用途的法律、法规, 测试产品用途的满足能力和安全性能。
6. 本产品出口海外时, 请遵守外汇交易及外国贸易法等出口法令, 办理必要的相关手续。
7. 严禁将本产品用于以及提供 (出口) 于开发大规模杀伤性武器或军事用途。对于如提供 (出口) 给开发、制造、使用或储藏核武器、生物武器、化学武器及导弹, 或有其他军事目的者的情况, 本公司对此概不承担任何责任。
8. 本产品并非是设计用于可能对生命、人体造成影响的设备或装置的部件, 也非是设计用于可能对财产造成损害的设备或装置的部件 (医疗设备、防灾设备、安全防范设备、燃料控制设备、基础设施控制设备、车辆设备、交通设备、车载设备、航空设备、太空设备及核能设备等)。请勿将本产品用于上述设备或装置的部件。本公司事先明确标示的车载用途例外。作为上述设备或装置的部件使用本产品时, 或本公司事先明确标示的用途以外使用本产品时, 所导致的损害, 本公司对此概不承担任何责任。
9. 半导体产品可能有一定的概率发生故障或误工作。为了防止因本产品的故障或误工作而导致的人身事故、火灾事故、社会性损害等, 请客户自行负责进行冗长设计、防止火势蔓延措施、防止误工作等安全设计。并请对整个系统进行充分的评价, 客户自行判断适用的可否。
10. 本产品非耐放射线设计产品。请客户根据用途, 在产品设计的过程中采取放射线防护措施。
11. 本产品在一般的使用条件下, 不会影响人体健康, 但因含有化学物质和重金属, 所以请不要将其放入口中。另外, 晶元和芯片的破裂面可能比较尖锐, 徒手接触时请注意防护, 以免受伤等。
12. 废弃本产品时, 请遵守使用国家和地区的法令, 合理地处理。
13. 本资料中也包含了与本公司的著作权和专有知识有关的内容。本资料记载的内容并非是对本公司或第三方的知识产权、其它权利的实施及使用的承诺或保证。严禁在未经本公司许可的情况下转载、复制或向第三方公开本资料的一部分或全部。
14. 有关本资料的详细内容等如有不明之处, 请向代理商咨询。
15. 本免责声明以日语版为正本。即使有英语版或中文版的翻译件, 仍以日语版的正本为准。

2.4-2019.07



ABLIC

艾普凌科有限公司
www.ablic.com