

■ ブロック図

1. CMOS出力品

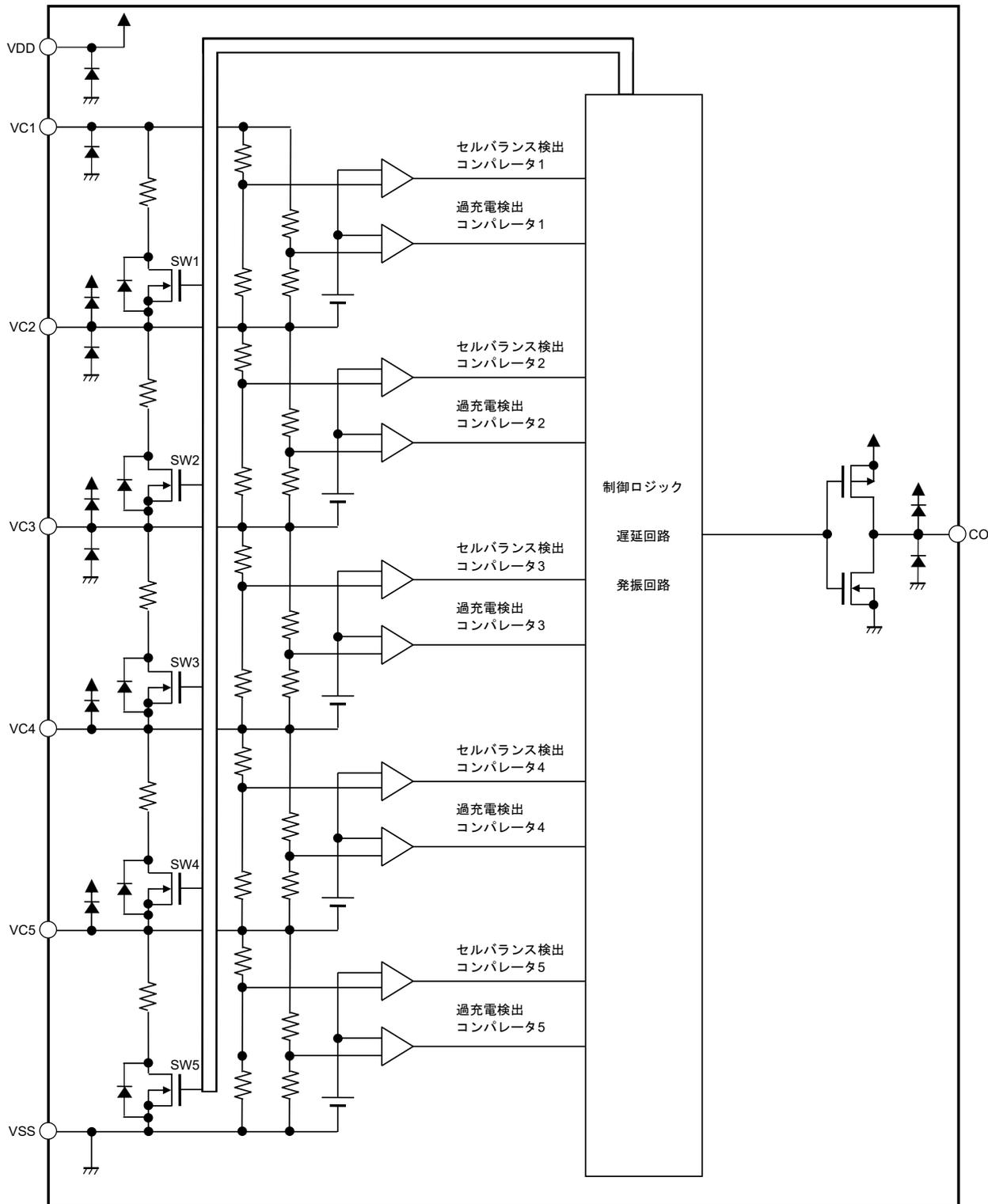


図1

備考 図中に示されたダイオードは寄生ダイオードです。

2. Nchオープンドレイン出力品

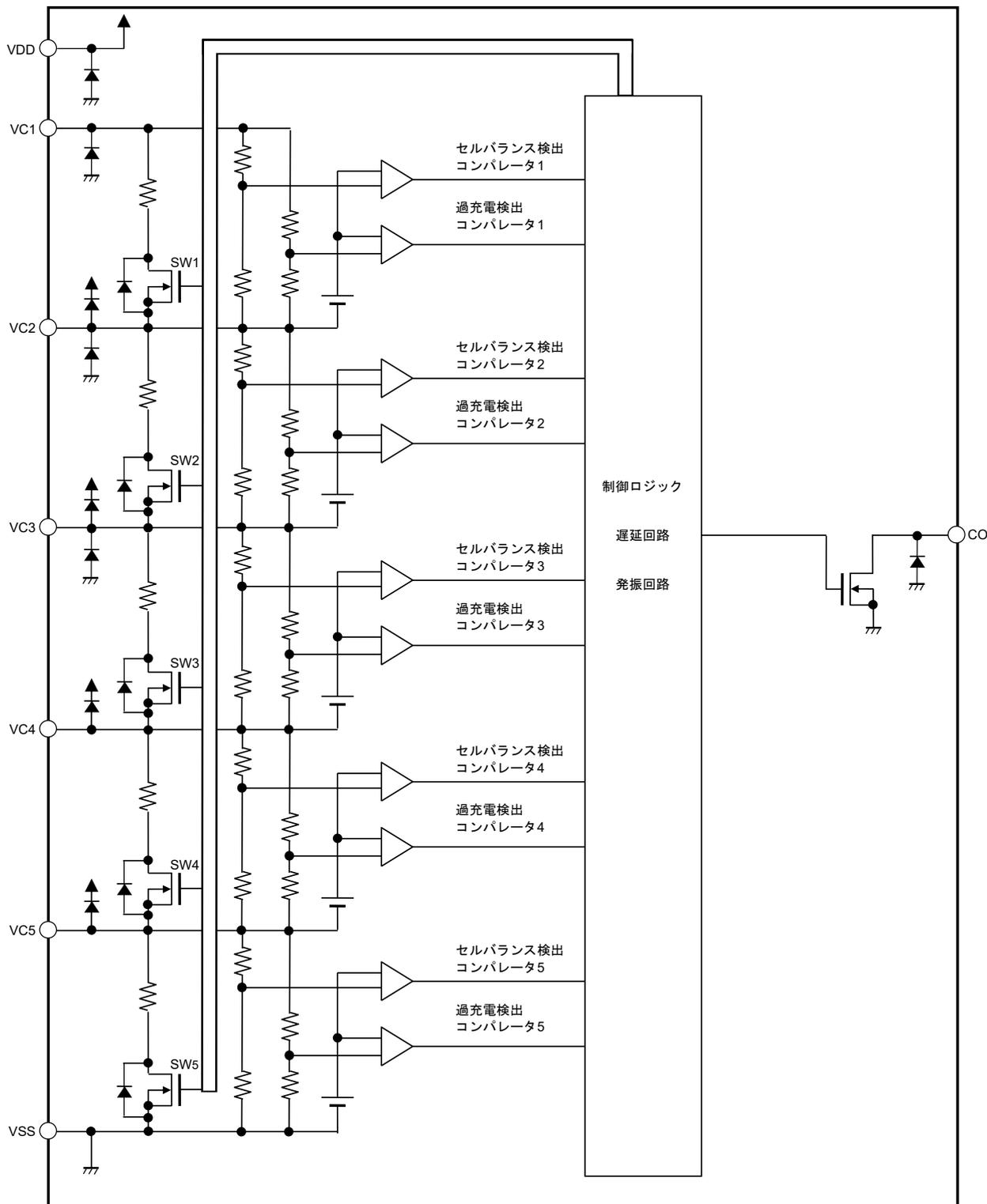
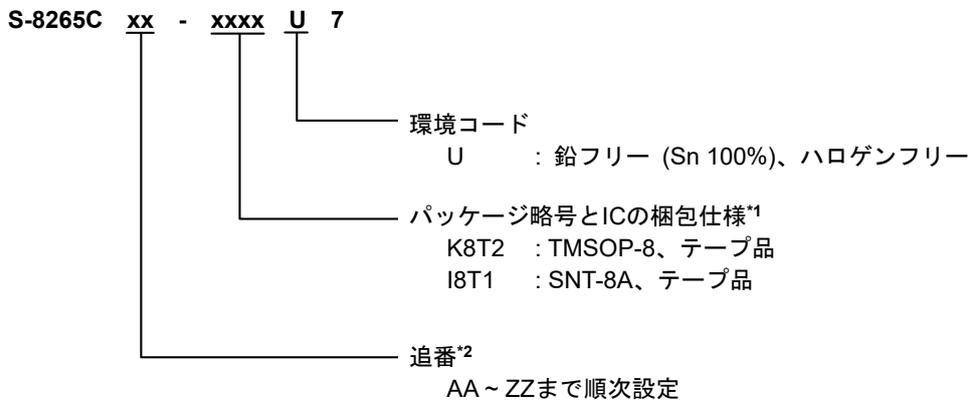


図2

備考 図中に示されたダイオードは寄生ダイオードです。

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. "3. 製品名リスト" を参照してください。

2. パッケージ

表1 パッケージ図面コード

| パッケージ名 | 外形寸法図面 | テープ図面 | リール図面 | ランド図面 |
|---------|--------------|--------------|--------------|--------------|
| TMSOP-8 | FM008-A-P-SD | FM008-A-C-SD | FM008-A-R-SD | - |
| SNT-8A | PH008-A-P-SD | PH008-A-C-SD | PH008-A-R-SD | PH008-A-L-SD |

3. 製品名リスト

3.1 TMSOP-8

表2

| 製品名 | セルバランス 検出電圧 [V _{BU}] | セルバランス 解除電圧 [V _{BL}] | 過充電 検出電圧 [V _{CU}] | 過充電 解除電圧 [V _{CL}] | 出力形態 | 出力論理 |
|------------------|--------------------------------------|--------------------------------------|-----------------------------------|-----------------------------------|---------------|-----------|
| S-8265CAA-K8T2U7 | 4.145 V | 4.145 V | 4.275 V | 4.275 V | CMOS出力 | アクティブ "H" |
| S-8265CAB-K8T2U7 | 3.900 V | 3.850 V | 4.130 V | 3.880 V | Nchオープンドレイン出力 | アクティブ "L" |
| S-8265CAC-K8T2U7 | 4.200 V | 4.150 V | 4.250 V | 4.200 V | Nchオープンドレイン出力 | アクティブ "L" |

備考 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

3.2 SNT-8A

表3

| 製品名 | セルバランス 検出電圧 [V _{BU}] | セルバランス 解除電圧 [V _{BL}] | 過充電 検出電圧 [V _{CU}] | 過充電 解除電圧 [V _{CL}] | 出力形態 | 出力論理 |
|------------------|--------------------------------------|--------------------------------------|-----------------------------------|-----------------------------------|--------|-----------|
| S-8265CAA-I8T1U7 | 4.145 V | 4.145 V | 4.275 V | 4.275 V | CMOS出力 | アクティブ "H" |

備考 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

■ ピン配置図

1. TMSOP-8

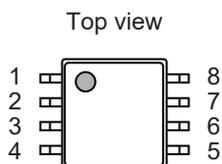


図3

表4

| 端子番号 | 端子記号 | 端子説明 |
|------|------|-----------------------------------|
| 1 | VDD | 正電源入力端子 |
| 2 | VC1 | バッテリー1の正電圧接続端子 |
| 3 | VC2 | バッテリー1の負電圧接続端子、 バッテリー2の正電圧接続端子 |
| 4 | VC3 | バッテリー2の負電圧接続端子、 バッテリー3の正電圧接続端子 |
| 5 | VC4 | バッテリー3の負電圧接続端子、 バッテリー4の正電圧接続端子 |
| 6 | VC5 | バッテリー4の負電圧接続端子、 バッテリー5の正電圧接続端子 |
| 7 | VSS | 負電源入力端子、 バッテリー5の負電圧接続端子 |
| 8 | CO | 過充電検出出力端子 |

2. SNT-8A

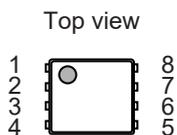


図4

表5

| 端子番号 | 端子記号 | 端子説明 |
|------|------|-----------------------------------|
| 1 | VDD | 正電源入力端子 |
| 2 | VC1 | バッテリー1の正電圧接続端子 |
| 3 | VC2 | バッテリー1の負電圧接続端子、 バッテリー2の正電圧接続端子 |
| 4 | VC3 | バッテリー2の負電圧接続端子、 バッテリー3の正電圧接続端子 |
| 5 | VC4 | バッテリー3の負電圧接続端子、 バッテリー4の正電圧接続端子 |
| 6 | VC5 | バッテリー4の負電圧接続端子、 バッテリー5の正電圧接続端子 |
| 7 | VSS | 負電源入力端子、 バッテリー5の負電圧接続端子 |
| 8 | CO | 過充電検出出力端子 |

■ 絶対最大定格

表6

(特記なき場合 : Ta = +25°C)

| 項目 | | 記号 | 適用端子 | 絶対最大定格 | 単位 |
|--------------------|----------------|------------------|------|--|----|
| VDD端子 - VSS端子間入力電圧 | | V _{DS} | VDD | V _{SS} - 0.3 ~ V _{SS} + 28, VC1 - 0.3 ~ VC1 + 5.6 | V |
| 入力端子電圧 | | V _{IN} | VC1 | VC2 - 0.3 ~ VC2 + 5.6 | V |
| | | | VC2 | VC3 - 0.3 ~ VC3 + 5.6 | V |
| | | | VC3 | VC4 - 0.3 ~ VC4 + 5.6 | V |
| | | | VC4 | VC5 - 0.3 ~ VC5 + 5.6 | V |
| | | | VC5 | V _{SS} - 0.3 ~ V _{SS} + 5.6 | V |
| CO端子出力電圧 | CMOS出力品 | V _{CO} | CO | V _{SS} - 0.3 ~ V _{DD} + 0.3 | V |
| | Nchオープンドレイン出力品 | | | V _{SS} - 0.3 ~ V _{SS} + 28 | V |
| 動作周囲温度 | | T _{opr} | - | -40 ~ +85 | °C |
| 保存温度 | | T _{stg} | - | -40 ~ +125 | °C |

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表7

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | |
|-----------------------------|-----------------|---------|---------|------|------|----|------|
| ジャンクション温度 - 周囲温度間 熱抵抗値*1 | θ _{JA} | TMSOP-8 | Board A | - | 160 | - | °C/W |
| | | | Board B | - | 133 | - | °C/W |
| | | | Board C | - | - | - | °C/W |
| | | | Board D | - | - | - | °C/W |
| | | | Board E | - | - | - | °C/W |
| | | SNT-8A | Board A | - | 211 | - | °C/W |
| | | | Board B | - | 173 | - | °C/W |
| | | | Board C | - | - | - | °C/W |
| | | | Board D | - | - | - | °C/W |
| | | | Board E | - | - | - | °C/W |

*1. 測定環境 : JEDEC STANDARD JESD51-2A準拠

備考 詳細については、"■ Power Dissipation"、"Test Board" を参照してください。

■ 電気的特性

表8

(特記なき場合：Ta = +25°C)

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 | 測定回路 |
|-------------------------------------|--------------------|--|----------------------------|-----------------|----------------------------|----|------|
| 検出電圧 | | | | | | | |
| セルバランス検出電圧n (n = 1, 2, 3, 4, 5) | V _{BU} n | Ta = +25°C | V _{BU} - 0.020 | V _{BU} | V _{BU} + 0.020 | V | 1 |
| | | Ta = -10°C ~ +60°C*1 | V _{BU} - 0.025 | V _{BU} | V _{BU} + 0.025 | V | 1 |
| セルバランス解除電圧n (n = 1, 2, 3, 4, 5) | V _{BL} n | - | V _{BL} - 0.050 | V _{BL} | V _{BL} + 0.050 | V | 1 |
| 過充電検出電圧n (n = 1, 2, 3, 4, 5) | V _{CU} n | Ta = +25°C | V _{CU} - 0.020 | V _{CU} | V _{CU} + 0.020 | V | 1 |
| | | Ta = -10°C ~ +60°C*1 | V _{CU} - 0.025 | V _{CU} | V _{CU} + 0.025 | V | 1 |
| 過充電解除電圧n (n = 1, 2, 3, 4, 5) | V _{CL} n | - | V _{CL} - 0.050 | V _{CL} | V _{CL} + 0.050 | V | 1 |
| 入力電圧 | | | | | | | |
| VDD端子 - VSS端子間動作電圧 | V _{DSOP} | - | 3.6 | - | 26 | V | - |
| 入力電流 | | | | | | | |
| 動作時消費電流 | I _{OPE} | V1 = V2 = V3 = V4 = V5 = V _{BU} × 0.75 V | - | 0.3 | 0.7 | μA | 2 |
| 過放電時消費電流 | I _{OPEd} | V1 = V2 = V3 = V4 = V5 = V _{BU} × 0.4 V | - | 0.05 | 0.30 | μA | 2 |
| VC1端子入力電流 | I _{VC1} | V1 = V2 = V3 = V4 = V5 = V _{BU} × 0.75 V | - | - | 0.3 | μA | 3 |
| VCn端子入力電流 (n = 2, 3, 4, 5) | I _{VCn} | V1 = V2 = V3 = V4 = V5 = V _{BU} × 0.75 V | -0.3 | 0.0 | 0.3 | μA | 3 |
| 出力電流 | | | | | | | |
| CO端子ソース電流 | I _{COH} | - | - | - | -20 | μA | 4 |
| CO端子シンク電流 | I _{COL} | CMOS出力品 | 0.4 | - | - | mA | 4 |
| CO端子リーク電流 | I _{COLL} | Nchオープンドレイン出力品 | - | - | 0.1 | μA | 4 |
| 遅延時間 | | | | | | | |
| セルバランス検出遅延時間 | t _{BU} | - | 200 | 256 | 310 | ms | - |
| 過充電検出遅延時間 | t _{CU} | - | 200 | 256 | 310 | ms | - |
| 過充電タイマリセット遅延時間 | t _{TR} | - | 6 | 12 | 20 | ms | - |
| セルバランスオン時間 | t _{CBON} | - | 5.7 | 7.2 | 8.7 | s | - |
| セルバランスオフ時間 | t _{CBOFF} | - | 0.8 | 1.0 | 1.2 | s | - |
| テストモード移行時間 | t _{TST} | - | - | - | 10 | ms | 1 |
| 内部抵抗 | | | | | | | |
| セルバランス放電時端子間抵抗1 | R _{VC1} | V _{BL} < 3.8V | 0.15 | 0.35 | 0.55 | kΩ | 5 |
| | | V _{BL} ≥ 3.8V | 0.15 | 0.30 | 0.45 | kΩ | 5 |
| セルバランス放電時端子間抵抗n (n = 2, 3, 4, 5) | R _{VCn} | V _{BL} < 3.8V | 0.20 | 0.35 | 0.55 | kΩ | 5 |
| | | V _{BL} ≥ 3.8V | 0.20 | 0.30 | 0.45 | kΩ | 5 |

*1. 高温および低温での選別はしていませんので、この温度範囲での規格は設計保証とします。

■ 測定回路

テストモードへの移行方法は、 $V_0 = 0\text{ V}$, $V_1 \sim V_5 = 2.6\text{ V}$ に設定した後、 $V_0 = 4\text{ V}$ に上げ、10 ms以上保持してください。

1. 検出電圧 (測定回路1)

1.1 セルバランス検出電圧 n (V_{BU_n})、セルバランス解除電圧 n (V_{BL_n})

テストモードに移行後、 $V_0 = 4\text{ V}$, $V_1 \sim V_5 = V_{BU} - 0.05\text{ V}$ に設定し、 V_1 を徐々に上げ、CO端子出力が反転する V_1 の電圧を V_{BU1} とします。

その後、 $V_0 = 0\text{ V}$ に戻し、 $V_1 = V_{BU} + 0.05\text{ V}$, $V_2 \sim V_5 = V_{BL} - 0.05\text{ V}$ に設定し、 V_1 を徐々に下げ、CO端子出力が再度反転する V_1 の電圧を V_{BL1} とします。

ほかの V_{BU_n} と V_{BL_n} ($n = 2 \sim 5$) も $n = 1$ の場合と同様に求めることができます。

1.2 過充電検出電圧 n (V_{CU_n})、過充電解除電圧 n (V_{CL_n})

テストモードに移行後、 $V_0 = 0\text{ V}$, $V_1 \sim V_5 = V_{CU} - 0.05\text{ V}$ に設定し、 V_1 を徐々に上げ、CO端子出力が反転する V_1 の電圧を V_{CU1} とします。

その後、 $V_0 = 0\text{ V}$ に戻し、 $V_1 = V_{CU} + 0.05\text{ V}$, $V_2 \sim V_5 = V_{CL} - 0.05\text{ V}$ に設定し、 V_1 を徐々に下げ、CO端子出力が再度反転する V_1 の電圧を V_{CL1} とします。

ほかの V_{CU_n} と V_{CL_n} ($n = 2 \sim 5$) も $n = 1$ の場合と同様に求めることができます。

2. 出力電流 (測定回路4)

2.1 CMOS出力品

SW6およびSW7をオフに設定します。

2.1.1 アクティブ "H"

(1) CO端子ソース電流 (I_{COH})

テストモードに移行後、 $V_0 = 0\text{ V}$, $V_1 = 4.8\text{ V}$, $V_2 \sim V_5 = 2.05\text{ V}$, $V_6 = 0.5\text{ V}$ に設定したあと、SW6をオンに設定します。このときの I_6 を I_{COH} とします。

(2) CO端子シンク電流 (I_{COL})

$V_0 = 0\text{ V}$, $V_1 \sim V_5 = 2.6\text{ V}$, $V_7 = 0.5\text{ V}$ に設定したあと、SW7をオンに設定します。このときの I_7 を I_{COL} とします。

2.1.2 アクティブ "L"

(1) CO端子ソース電流 (I_{COH})

$V_0 = 0\text{ V}$, $V_1 \sim V_5 = 2.6\text{ V}$, $V_6 = 0.5\text{ V}$ に設定したあと、SW6をオンに設定します。このときの I_6 を I_{COH} とします。

(2) CO端子シンク電流 (I_{COL})

テストモードに移行後、 $V_0 = 0\text{ V}$, $V_1 = 4.8\text{ V}$, $V_2 \sim V_5 = 2.05\text{ V}$, $V_7 = 0.5\text{ V}$ に設定したあと、SW7をオンに設定します。このときの I_7 を I_{COL} とします。

2.2 Nchオープンドレイン出力品

SW6およびSW7をオフに設定します。

2.2.1 アクティブ "H"

(1) CO端子リーク電流 "L" (I_{COLL})

テストモードに移行後、 $V_0 = 0\text{ V}$, $V_1 = 4.8\text{ V}$, $V_2 \sim V_5 = 2.05\text{ V}$, $V_7 = 28\text{ V}$ に設定したあと、SW7をオンに設定します。このときのI7を I_{COLL} とします。

(2) CO端子シンク電流 (I_{COL})

$V_0 = 0\text{ V}$, $V_1 \sim V_5 = 2.6\text{ V}$, $V_7 = 0.5\text{ V}$ に設定したあと、SW7をオンに設定します。このときのI7を I_{COL} とします。

2.2.2 アクティブ "L"

(1) CO端子リーク電流 "L" (I_{COLL})

$V_0 = 0\text{ V}$, $V_1 \sim V_5 = 2.6\text{ V}$, $V_7 = 28\text{ V}$ に設定したあと、SW7をオンに設定します。このときのI7を I_{COLL} とします。

(2) CO端子シンク電流 (I_{COL})

テストモードに移行後、 $V_0 = 0\text{ V}$, $V_1 = 4.8\text{ V}$, $V_2 \sim V_5 = 2.05\text{ V}$, $V_7 = 0.5\text{ V}$ に設定したあと、SW7をオンに設定します。このときのI7を I_{COL} とします。

3. テストモード移行時間 (t_{TST})

(測定回路1)

$V_0 = 0\text{ V}$, $V_1 \sim V_5 = 2.6\text{ V}$ に設定したあと、 V_0 を4.0 Vに立ち上げ、ふたたび0 Vに立ち下げます。

V_0 を立ち上げてから立ち下げるまでの時間が長い場合、続いて $V_1 = 4.8\text{ V}$ にすると40 ms以内にCO端子出力が反転します。 V_0 を立ち上げてから立ち下げるまでの時間が短い場合、続いて $V_1 = 4.8\text{ V}$ にするとCO端子出力が反転するまでの時間が40 msよりも長くなります。CO端子出力が反転する時間が40 ms以内となる、 V_0 を立ち上げてから立ち下げるまでの時間の最小値を t_{TST} とします。

4. セルバランス放電時端子間抵抗 n (R_{VCn})

(測定回路5)

$V_1 \sim V_5 = V_{BL} - 0.05\text{ V}$ に設定したあと、 $V_1 = V_{BU} + 0.05\text{ V}$ に立ち上げ、セルバランス検出遅延時間 (t_{BU}) 経過後に $V_1 = V_{BL} + 0.05\text{ V}$ に立ち下げます。 V_1 を最初に立ち上げてから $t_{BU} +$ セルバランスオフ時間 (t_{CBOFF}) 後にセルバランス放電が始まります。その時の V_{I1} / I_1 を R_{VC1} とします。ほかの R_{VCn} ($n = 2 \sim 5$) も $n = 1$ の場合と同様に求めることができます。

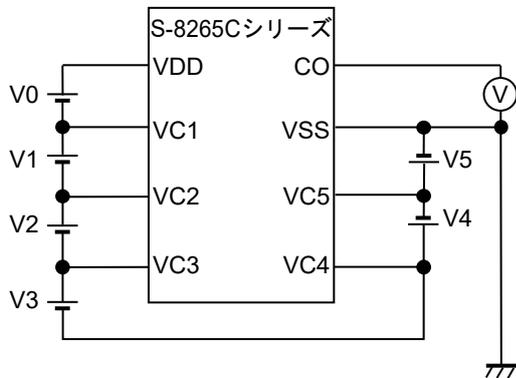


図5 測定回路1

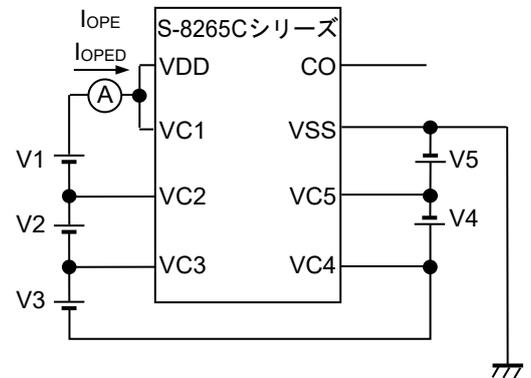


図6 測定回路2

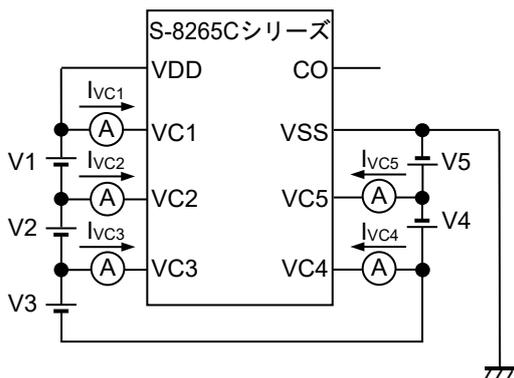


図7 測定回路3

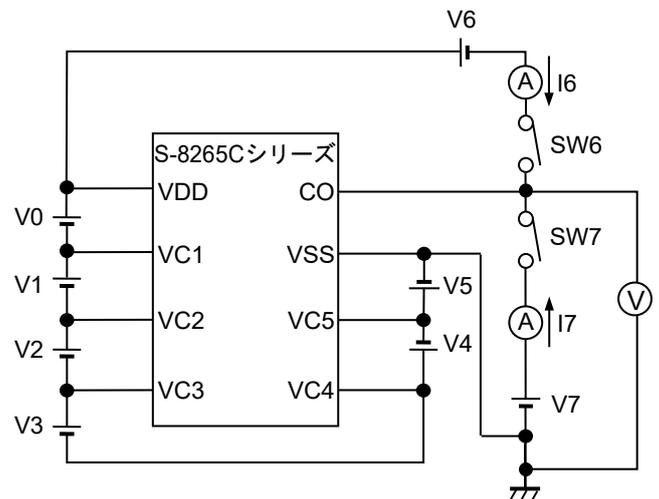


図8 測定回路4

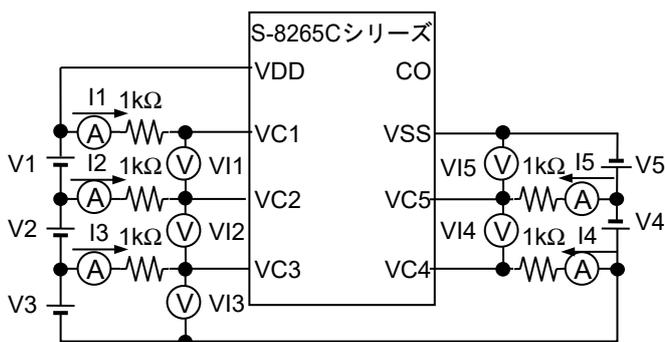


図9 測定回路5

■ 動作説明

備考 "■ バッテリー保護ICの接続例" を参照してください。

1. 通常状態

すべての電池電圧がセルバランス解除電圧 n (V_{BLn}) 未満である場合、CO端子から "L" (アクティブ "H") もしくは "H" (アクティブ "L") が出力されます。これを通常状態といいます。

2. セルバランス状態

通常状態でいずれかの電池電圧がセルバランス検出電圧 n (V_{BUIn})を越え、その状態をセルバランス検出遅延時間 (t_{BU}) 以上保持すると、セルバランス状態になります。セルバランス状態ではセルバランスオフ時間 (t_{CBOFF}) とセルバランスオン時間 (t_{CBON}) を繰り返します。 t_{CBOFF} 中は V_{BLn} と過充電検出電圧 (V_{CUIn}) を監視します。なお、 t_{CBOFF} 中はすべての端子間のセルバランス放電用FET (SW n) がOFFし、セルバランス電流は流れません。 t_{CBOFF} 中の V_{BLn} 監視時にすべての電池電圧が V_{BLn} 以下になると、通常状態へ復帰します。

t_{CBON} 中は V_{BLn} 以上の電池が接続されたSW n がONし、セルバランス電流が流れます。なお、 t_{CBON} 中は各電池電圧を監視しません。

また、セルバランス状態ですべての電池電圧が V_{BLn} を越えた場合、 t_{CBON} 中にすべてのSW n をOFFします。

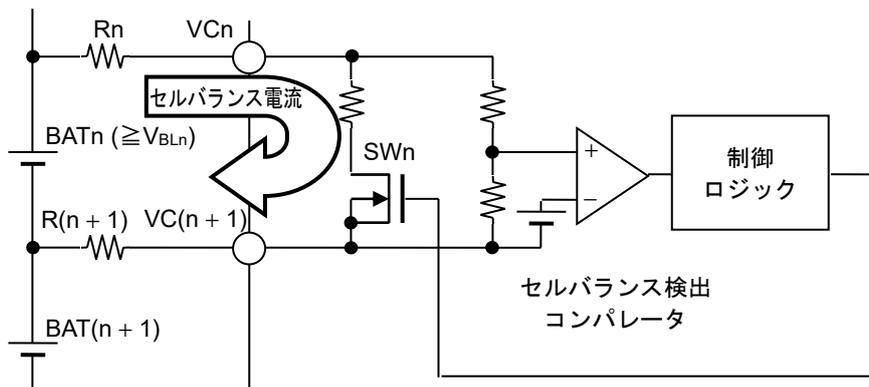


図10

3. 過充電セルバランス状態

セルバランス状態で t_{CBOFF} 中の V_{CUIn} 監視時にいずれかの電池電圧が V_{CUIn} を越え、その状態を過充電検出遅延時間 (t_{CU}) 以上保持すると、CO端子出力が反転し、過充電セルバランス状態となります。

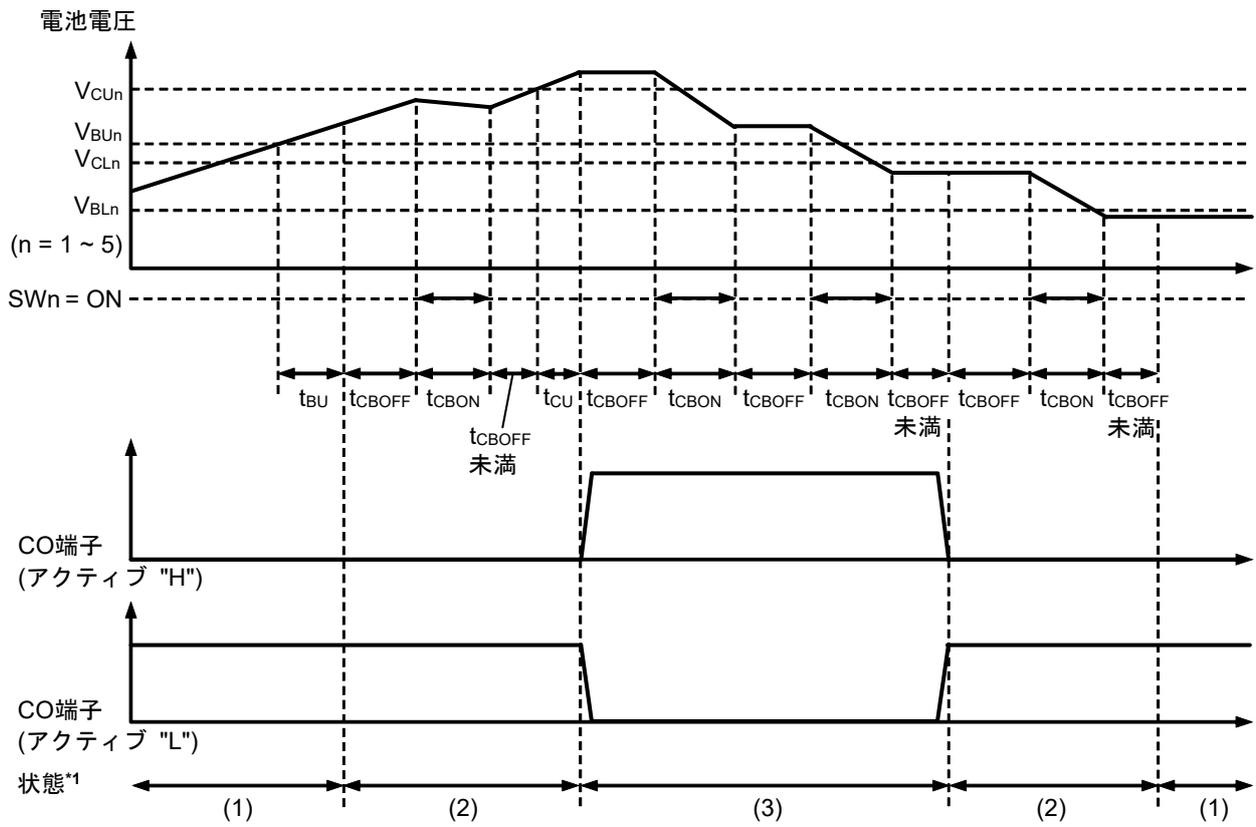
セルバランス状態で t_{CBON} 中にいずれかの電池電圧が V_{CUIn} を越えても、セルバランス状態を維持します。直後の t_{CBOFF} 中の V_{CUIn} 監視時にいずれかの電池電圧が V_{CUIn} を越え、その状態を過充電検出遅延時間 (t_{CU}) 以上保持すると、CO端子出力が反転し、過充電セルバランス状態となります。

過充電セルバランス状態では t_{CBOFF} と t_{CBON} を繰り返します。 t_{CBOFF} 中は V_{BLn} と過充電解除電圧 (V_{CLn}) を監視します。なお、 t_{CBOFF} 中はすべてのSW n がOFFし、セルバランス電流は流れません。 t_{CBOFF} 中の V_{CLn} 監視時にすべての電池電圧が V_{CLn} 以下になると、CO端子出力が反転し、セルバランス状態へ復帰します。

t_{CBON} 中に V_{BLn} 以上の電池が接続されたSW n がONし、セルバランス電流が流れます。なお、 t_{CBON} 中は各電池電圧を監視しません。

また、過充電セルバランス状態ですべての電池電圧が V_{BLn} を越えた場合、 t_{CBON} 中にすべてのSW n をOFFします。

備考 $n = 1 \sim 5$



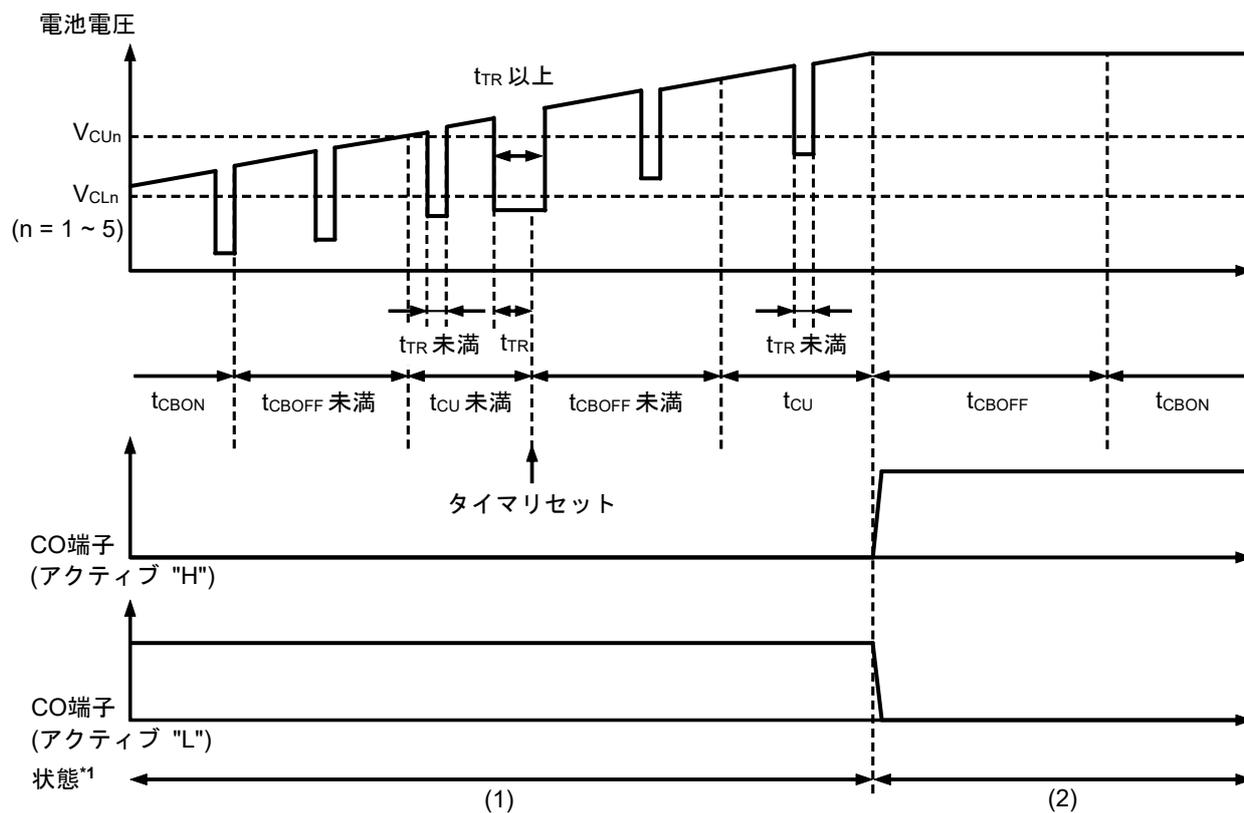
- *1. (1): 通常状態
 (2): セルバランス状態
 (3): 過充電セルバランス状態

図11

4. 過充電タイマリセット機能

t_{CBOFF} 中の過充電検出電圧監視時にいずれかの電池電圧が V_{CU_n} を越えてからCO端子出力を反転させるまでの t_{CU} 中に、タイマリセット機能は以下のように動作します。

一時的に V_{CU_n} を下回るような過充電解除ノイズが入力された場合、過充電解除ノイズの時間が過充電タイマリセット遅延時間 (t_{TR}) 未満であれば t_{CU} を継続してカウントします。一方、同様の状態において過充電解除ノイズの時間が t_{TR} 以上であれば t_{CU} のカウントをリセットします。リセット後は t_{CBOFF} が始まります。



*1. (1) : セルバランス状態
(2) : 過充電セルバランス状態

図12

5. テストモード

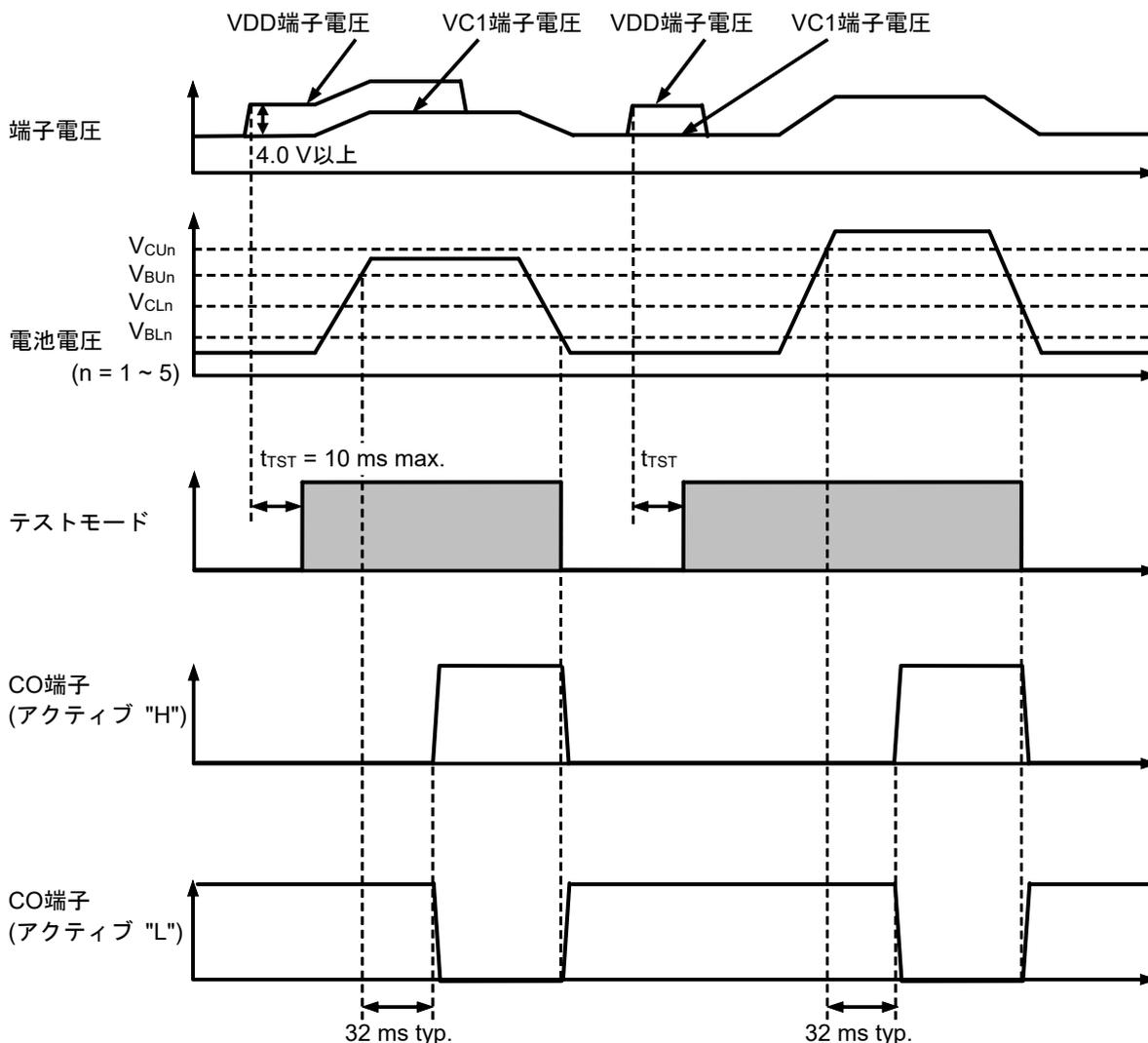
S-8265Cシリーズは、テストモードに移行することで、セルバランス検出電圧 (V_{BU_n}) と過充電検出電圧 (V_{CU_n}) を短時間で確認することが可能となります。

テストモードへは、VDD端子電圧がVC1端子電圧より4.0 V以上高い電圧で10 ms以上保持されることで移行します。その状態はテストモード保持用のラッチで保持され、ふたたびVDD端子電圧をVC1端子電圧と同じ電圧に戻してもテストモードを保持します。

テストモードでは、VDD端子電圧がVC1端子電圧より4.0 V以上高い電圧を維持したまま電池電圧が V_{BU_n} を越えると、CO端子出力が反転し検出状態になります。そして、VDD端子電圧をVC1端子電圧と同じ電圧に戻した後、電池電圧が V_{BL_n} を下回るとCO端子出力が再反転し解除状態になります。CO端子出力が検出状態から解除状態になるとテストモード保持用のラッチがリセットされ、テストモードから離脱します。VDD端子電圧をVC1端子電圧と同じ電圧に戻す前に電池電圧が V_{BL_n} より下回らないようご注意ください。

また、VDD端子電圧をVC1端子電圧より4.0 V以上高い電圧にし、テストモードに移行した後、VDD端子電圧をVC1端子電圧と同じ電圧に戻し、電池電圧が V_{CU_n} を越えるとCO端子出力が反転し検出状態になります。その後、電池電圧が V_{CL_n} を下回るとCO端子出力が再反転し解除状態になります。CO端子出力が検出状態から解除状態になるとテストモード保持用のラッチがリセットされ、テストモードから離脱します。

なお、テストモードではセルバランス電流は流れません。



- 注意 1. テストモードへの移行は、すべての電池が V_{BU_n} 未満で行ってください。
 2. テストモードでは過充電タイマリセット遅延時間 (t_{TR}) は短縮されません。

図13

■ バッテリー保護ICの接続例

1. 5セル直列 (CMOS出力品)

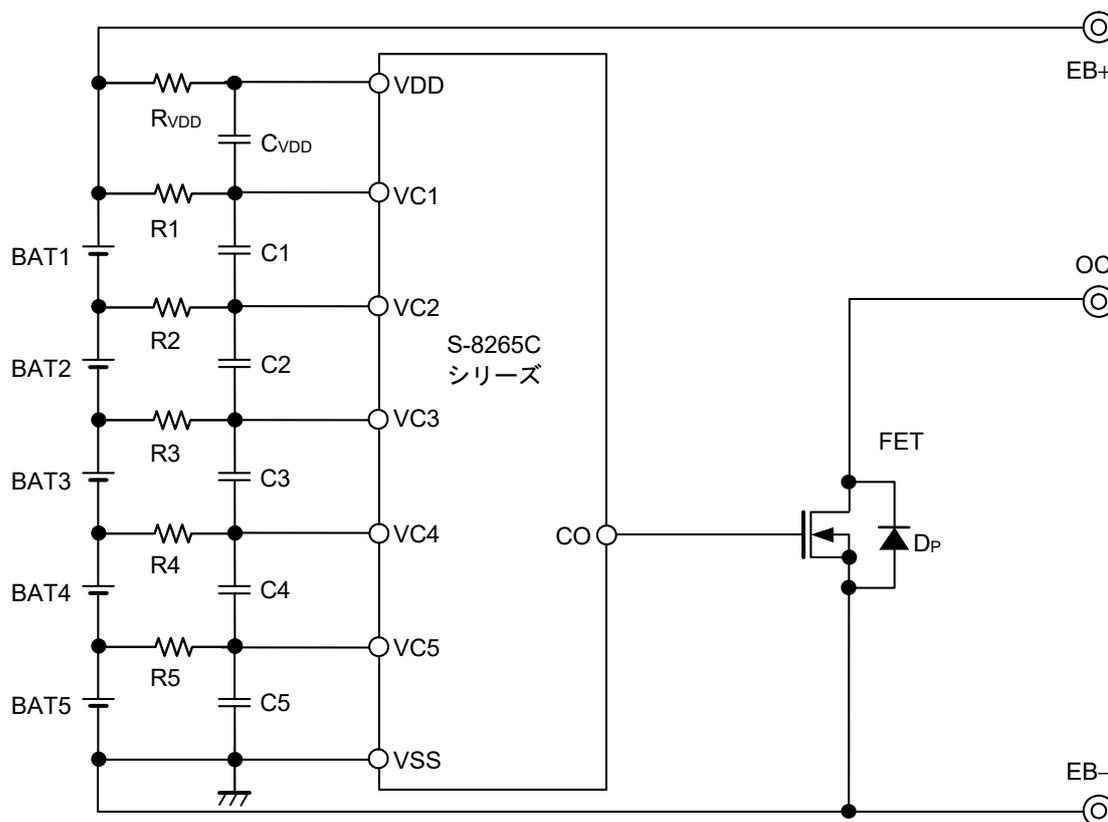


図14

表9 外付け部品定数

| No. | 記号 | Min. | Typ. | Max. | 単位 |
|-----|---------------|------|------|------|----|
| 1 | R1 ~ R5 | 100 | 100 | 1000 | Ω |
| 2 | C1 ~ C5, CVDD | 0.1 | 0.1 | 0.1 | μF |
| 3 | RVDD | 100 | 100 | 1000 | Ω |

- 注意 1. 定数は予告なく変更することがあります。
2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。
3. R1 ~ R5は同じ定数にしてください。C1 ~ C5, CVDDは同じ定数にしてください。
4. セルバランス電流により、ICの損失が許容損失を越えないようなR1 ~ R5の値を設定してください。

2. 4セル直列 (CMOS出力品)

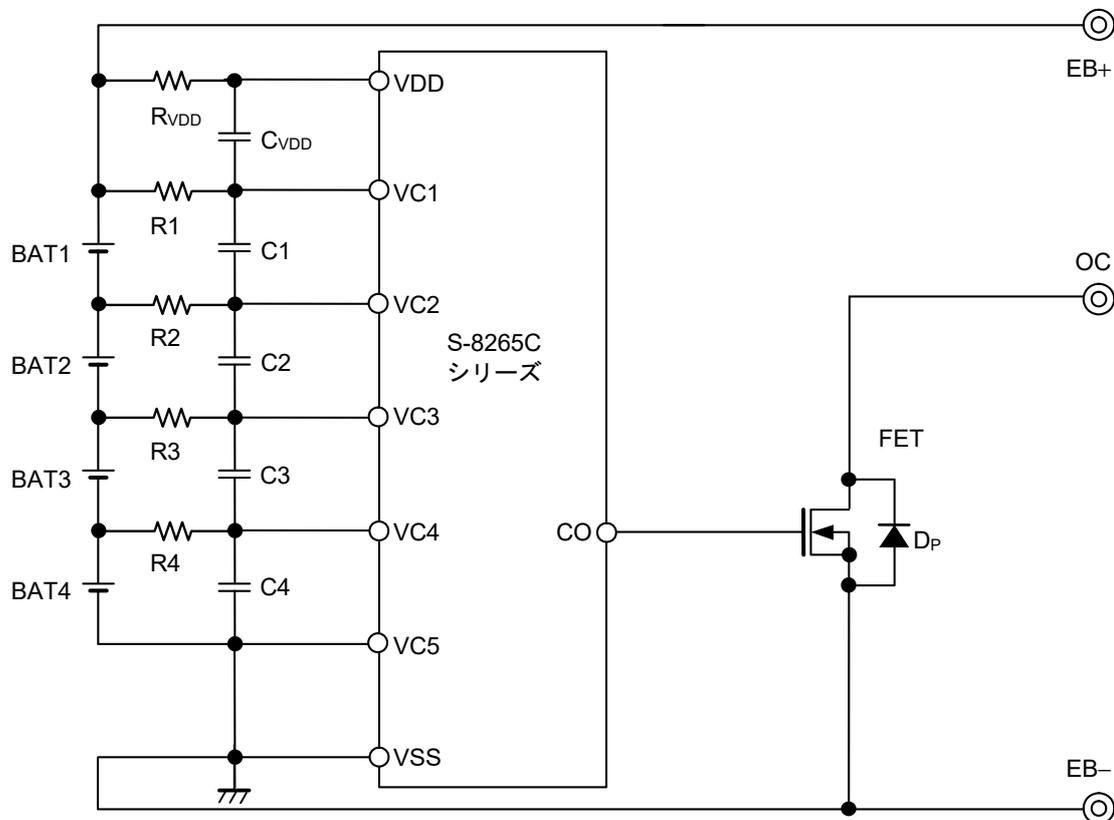


図15

表10 外付け部品定数

| No. | 記号 | Min. | Typ. | Max. | 単位 |
|-----|---------------|------|------|------|----|
| 1 | R1 ~ R4 | 100 | 100 | 1000 | Ω |
| 2 | C1 ~ C4, CVDD | 0.1 | 0.1 | 0.1 | μF |
| 3 | RVDD | 100 | 100 | 1000 | Ω |

- 注意 1. 定数は予告なく変更することがあります。
 2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。
 3. R1 ~ R4は同じ定数にしてください。C1 ~ C4, CVDDは同じ定数にしてください。
 4. セルバランス電流により、ICの損失が許容損失を越えないようなR1 ~ R4の値を設定してください。

3. 3セル直列 (CMOS出力品)

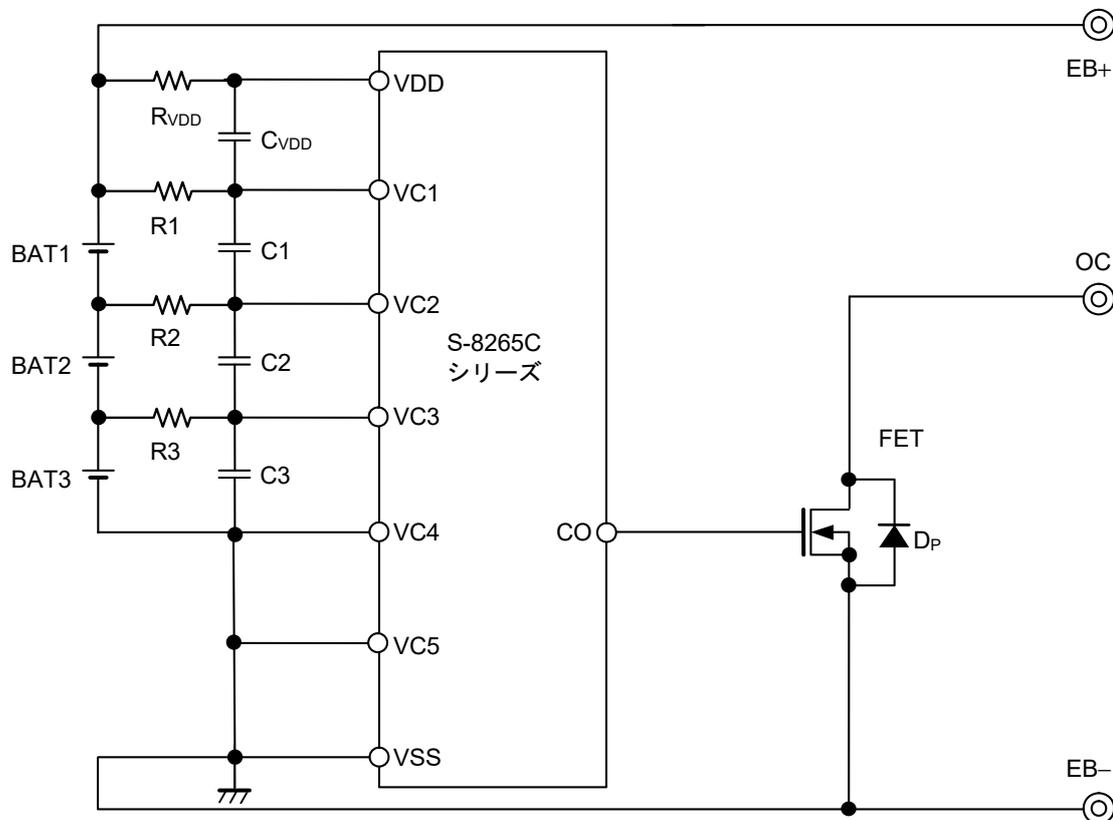


図16

表11 外付け部品定数

| No. | 記号 | Min. | Typ. | Max. | 単位 |
|-----|---------------------------|------|------|------|----|
| 1 | R1 ~ R3 | 100 | 100 | 1000 | Ω |
| 2 | C1 ~ C3, C _{VDD} | 0.1 | 0.1 | 0.1 | μF |
| 3 | R _{VDD} | 100 | 100 | 1000 | Ω |

- 注意 1. 定数は予告なく変更することがあります。
2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。
3. R1 ~ R3は同じ定数にしてください。C1 ~ C3, C_{VDD}は同じ定数にしてください。
4. セルバランス電流により、ICの損失が許容損失を越えないようなR1 ~ R3の値を設定してください。

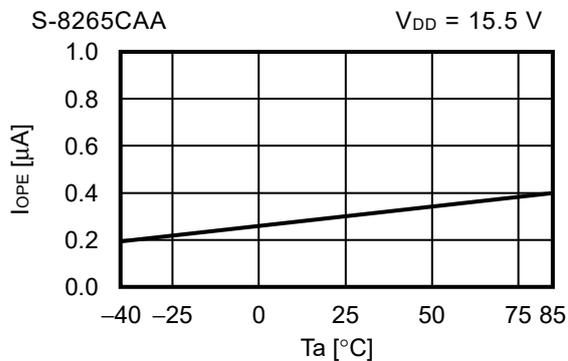
■ 注意事項

- ・ 電池を接続するときに V_{CLn} 以上の電池を接続しないでください。一つでも V_{CLn} 以上の電池が含まれていると、全端子接続後、S-8265Cシリーズが過充電状態になる場合があります。
- ・ アプリケーション回路によっては、過充電電池が含まれていない場合でも、電池接続時の過渡的なCO検出パルスの出力を防止するために、電池の接続順番が制限される可能性がありますので、ご使用の際には十分な評価を行ってください。
- ・ "■ バッテリー保護ICの接続例" の図中に示す R_{VDD} とR1の電池側端子は、電池接続前にショートしてください。
- ・ IC内での損失が許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

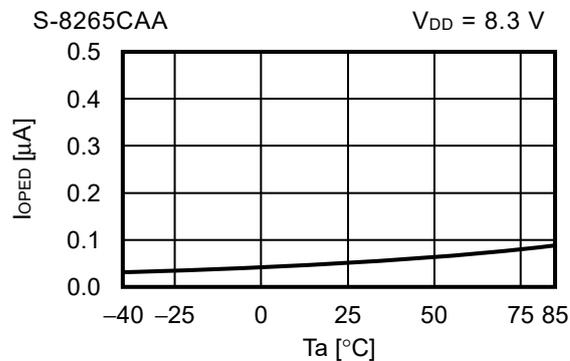
■ 諸特性データ (Typicalデータ)

1. 消費電流

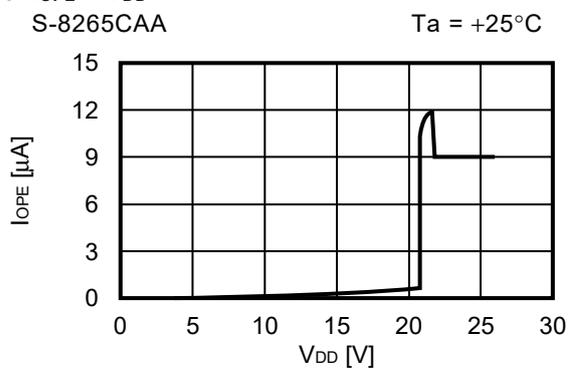
1.1 $I_{OPE} - T_a$



1.2 $I_{OPED} - T_a$

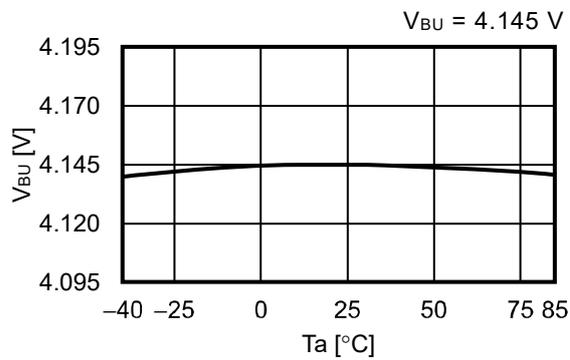


1.3 $I_{OPE} - V_{DD}$

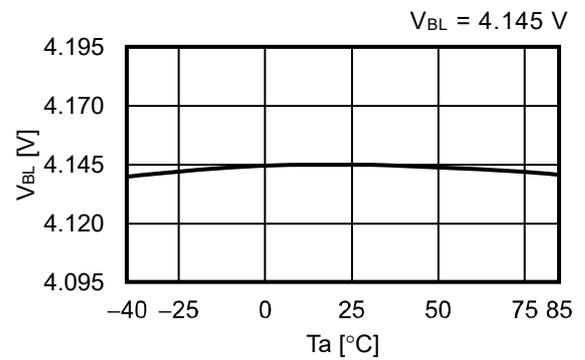


2. 検出電圧

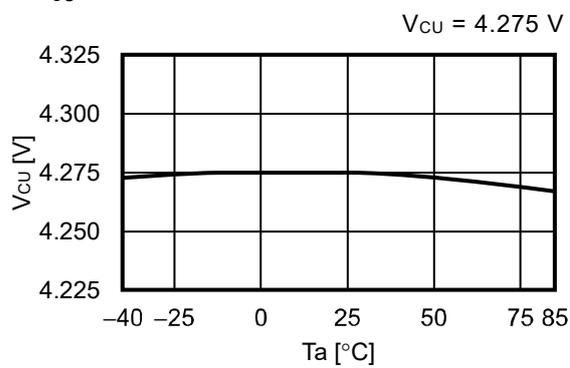
2.1 $V_{BU} - T_a$



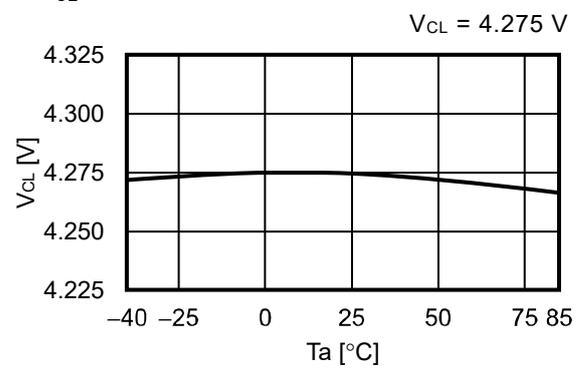
2.2 $V_{BL} - T_a$



2.3 $V_{CU} - T_a$

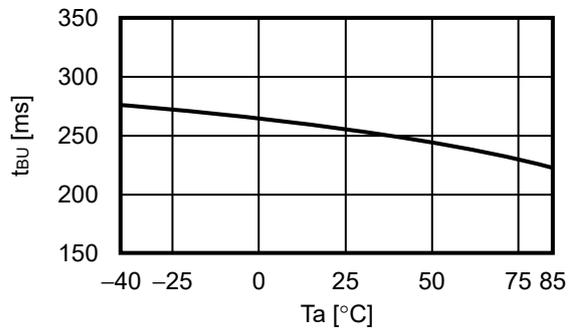


2.4 $V_{CL} - T_a$

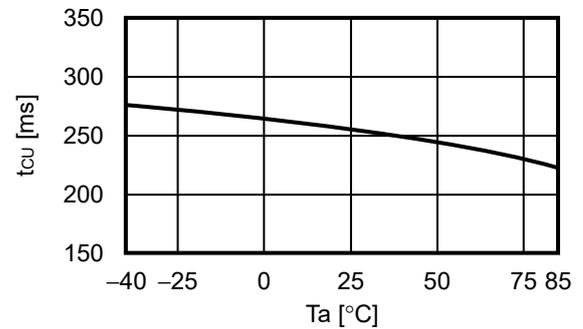


3. 遅延時間

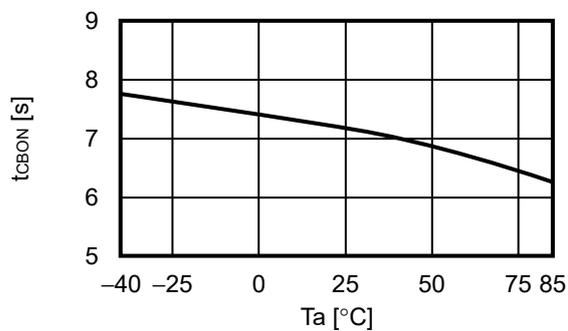
3.1 $t_{BU} - T_a$



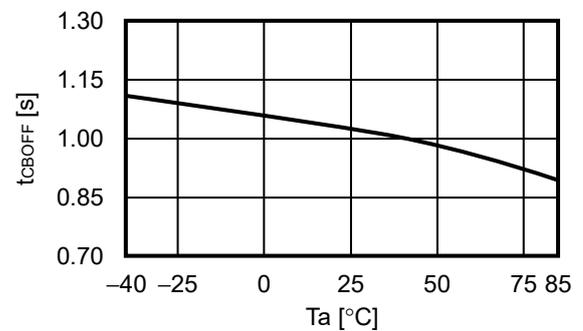
3.2 $t_{CU} - T_a$



3.3 $t_{CBON} - T_a$

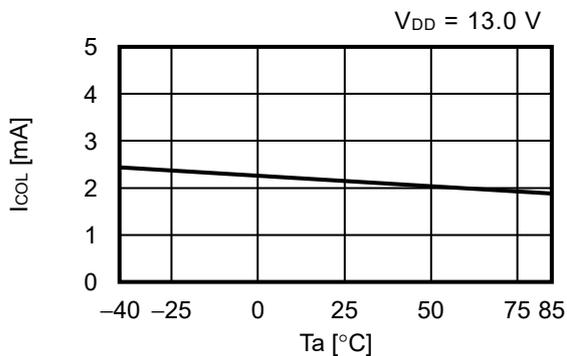


3.4 $t_{CBOFF} - T_a$

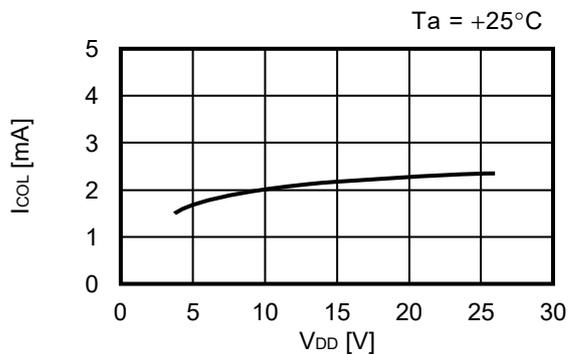


4. 出力電流

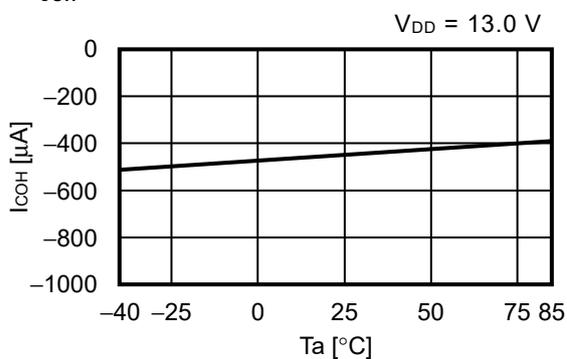
4. 1 $I_{COL} - T_a$



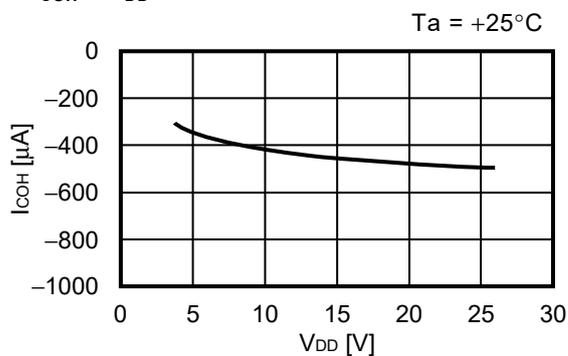
4. 2 $I_{COL} - V_{DD}$



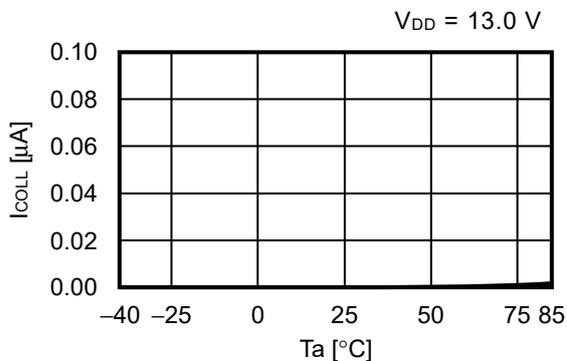
4. 3 $I_{COH} - T_a$



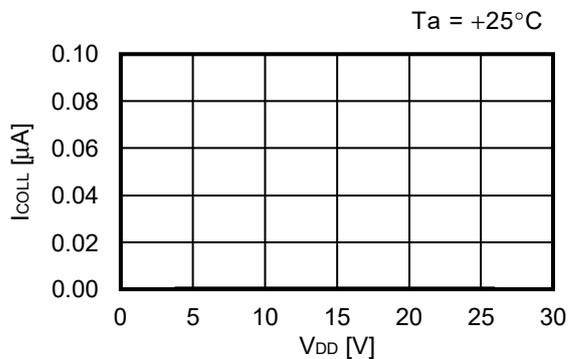
4. 4 $I_{COH} - V_{DD}$



4. 5 $I_{COLL} - T_a$

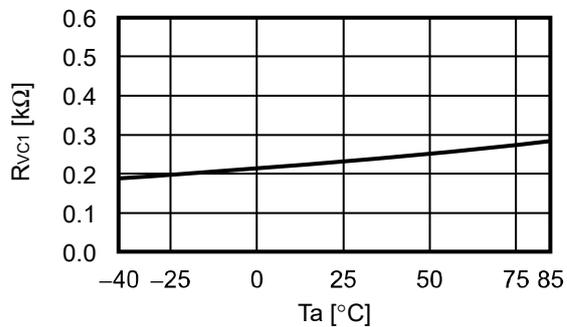


4. 6 $I_{COLL} - V_{DD}$

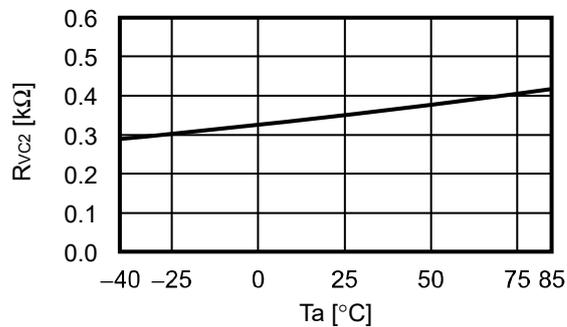


5. 内部抵抗

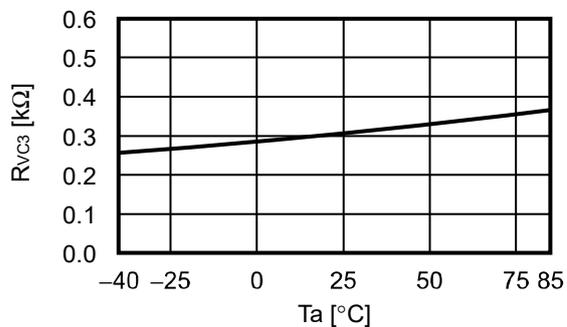
5. 1 R_{vc1} – Ta



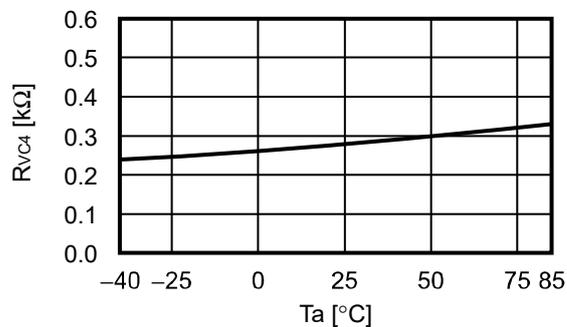
5. 2 R_{vc2} – Ta



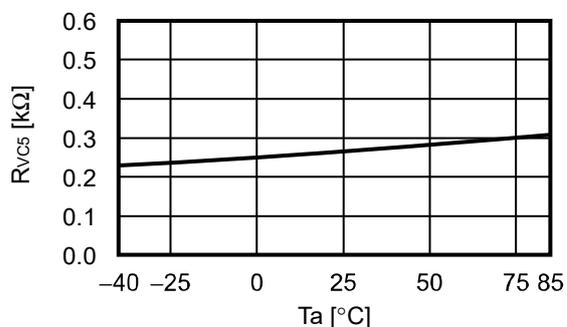
5. 3 R_{vc3} – Ta



5. 4 R_{vc4} – Ta

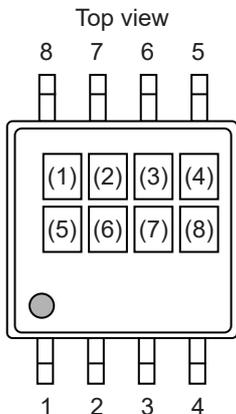


5. 5 R_{vc5} – Ta



■ マーキング仕様

1. TMSOP-8

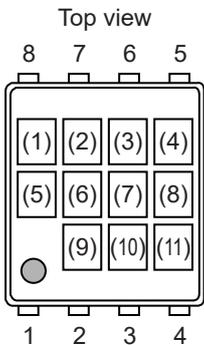


- (1) : ブランク
- (2) ~ (4) : 製品略号 (製品名と製品略号の対照表を参照)
- (5) : ブランク
- (6) ~ (8) : ロットナンバー

製品名と製品略号の対照表

| 製品名 | 製品略号 | | |
|------------------|------|-----|-----|
| | (2) | (3) | (4) |
| S-8265CAA-K8T2U7 | 8 | J | A |
| S-8265CAB-K8T2U7 | 8 | J | B |
| S-8265CAC-K8T2U7 | 8 | J | C |

2. SNT-8A



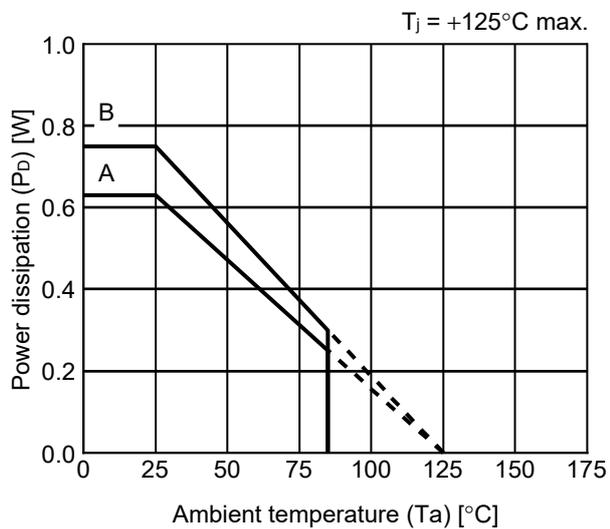
- (1) : ブランク
- (2) ~ (4) : 製品略号 (製品名と製品略号の対照表を参照)
- (5), (6) : ブランク
- (7) ~ (11) : ロットナンバー

製品名と製品略号の対照表

| 製品名 | 製品略号 | | |
|------------------|------|-----|-----|
| | (2) | (3) | (4) |
| S-8265CAA-I8T1U7 | 8 | J | A |

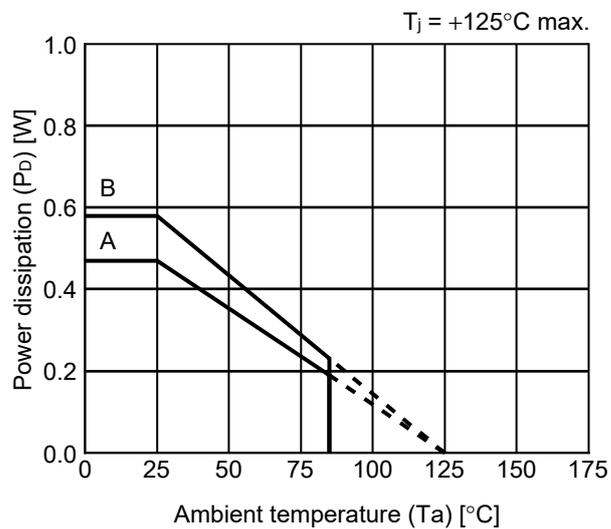
■ Power Dissipation

TMSOP-8



| Board | Power Dissipation (P _D) |
|-------|-------------------------------------|
| A | 0.63 W |
| B | 0.75 W |
| C | - |
| D | - |
| E | - |

SNT-8A

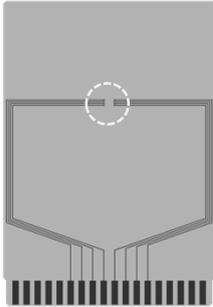


| Board | Power Dissipation (P _D) |
|-------|-------------------------------------|
| A | 0.47 W |
| B | 0.58 W |
| C | - |
| D | - |
| E | - |

TMSOP-8 Test Board

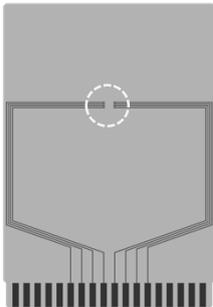
(1) Board A

 IC Mount Area



| Item | | Specification |
|-----------------------------|---|---|
| Size [mm] | | 114.3 x 76.2 x t1.6 |
| Material | | FR-4 |
| Number of copper foil layer | | 2 |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | - |
| | 3 | - |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | | - |

(2) Board B



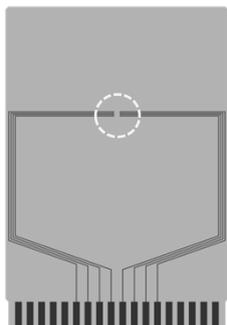
| Item | | Specification |
|-----------------------------|---|---|
| Size [mm] | | 114.3 x 76.2 x t1.6 |
| Material | | FR-4 |
| Number of copper foil layer | | 4 |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | | - |

No. TMSOP8-A-Board-SD-1.0

SNT-8A Test Board

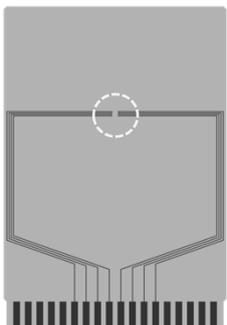
(1) Board A

 IC Mount Area



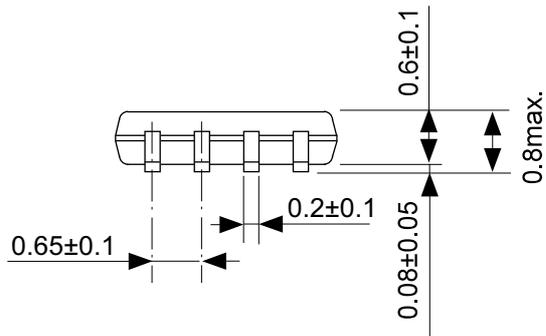
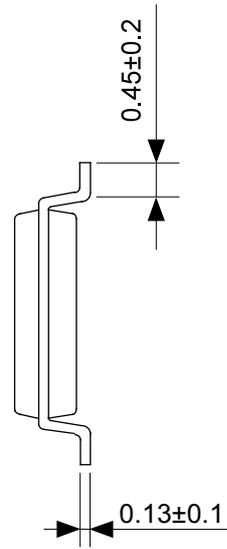
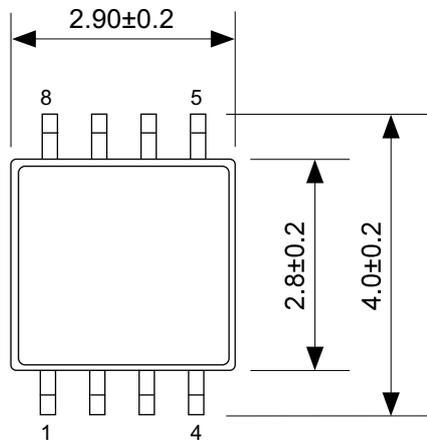
| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 2 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | - |
| | 3 | - |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

(2) Board B



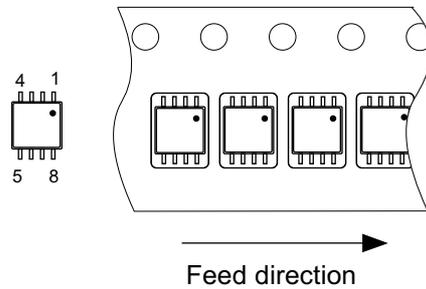
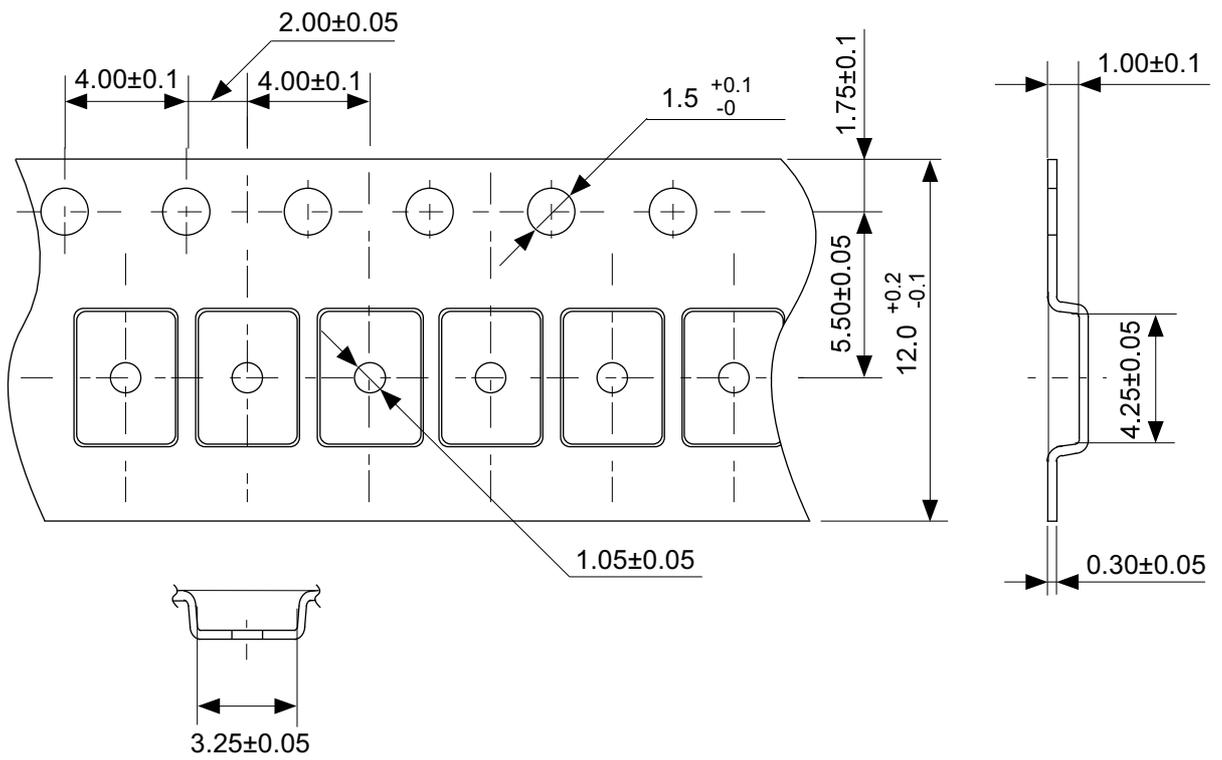
| Item | Specification | |
|-----------------------------|---------------------|---|
| Size [mm] | 114.3 x 76.2 x t1.6 | |
| Material | FR-4 | |
| Number of copper foil layer | 4 | |
| Copper foil layer [mm] | 1 | Land pattern and wiring for testing: t0.070 |
| | 2 | 74.2 x 74.2 x t0.035 |
| | 3 | 74.2 x 74.2 x t0.035 |
| | 4 | 74.2 x 74.2 x t0.070 |
| Thermal via | - | |

No. SNT8A-A-Board-SD-1.0



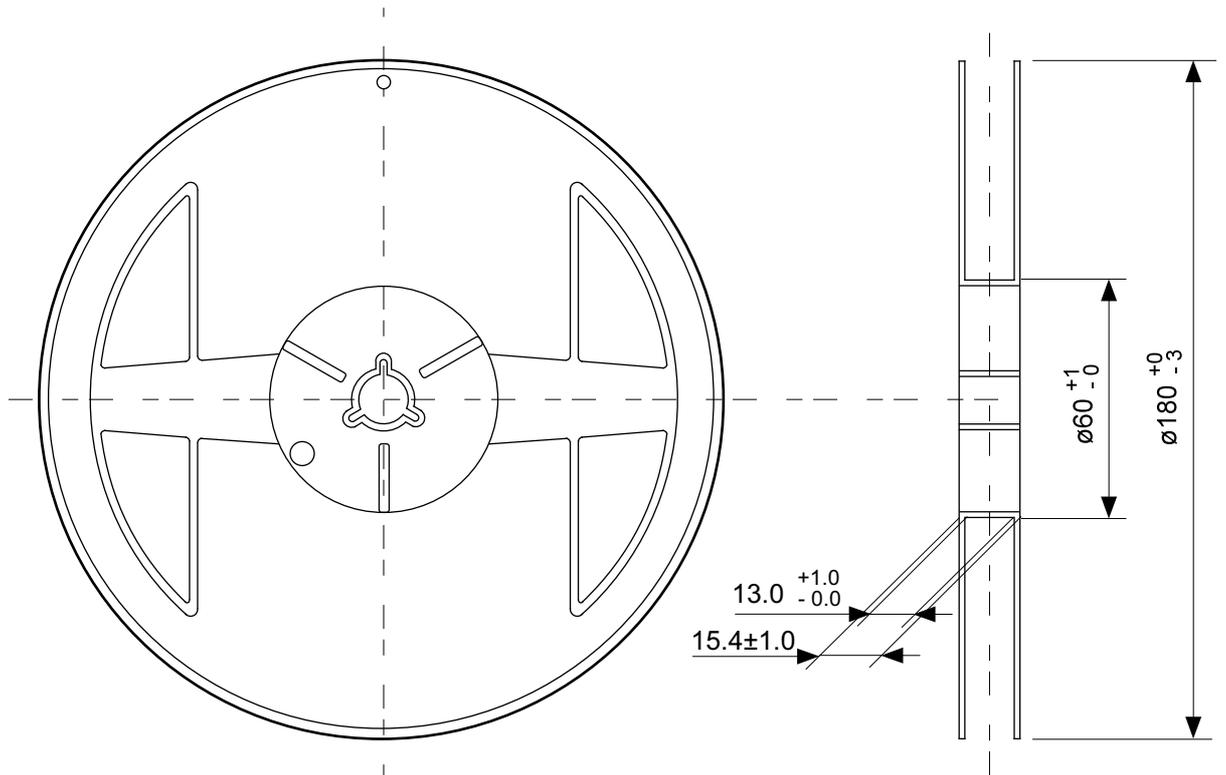
No. FM008-A-P-SD-1.2

| | |
|-------------------|-------------------------|
| TITLE | TMSOP8-A-PKG Dimensions |
| No. | FM008-A-P-SD-1.2 |
| ANGLE | |
| UNIT | mm |
| ABLIC Inc. | |

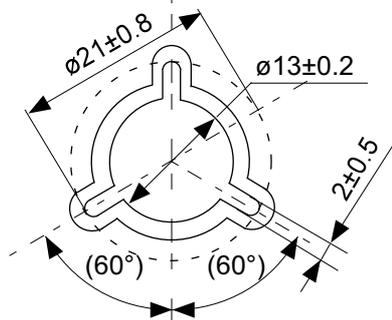


No. FM008-A-C-SD-2.0

| | |
|-------------------|-----------------------|
| TITLE | TMSOP8-A-Carrier Tape |
| No. | FM008-A-C-SD-2.0 |
| ANGLE | |
| UNIT | mm |
| ABLIC Inc. | |

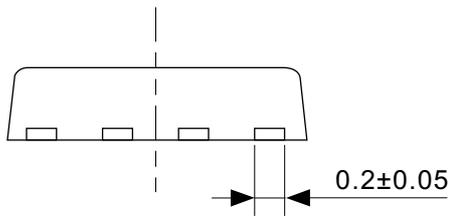
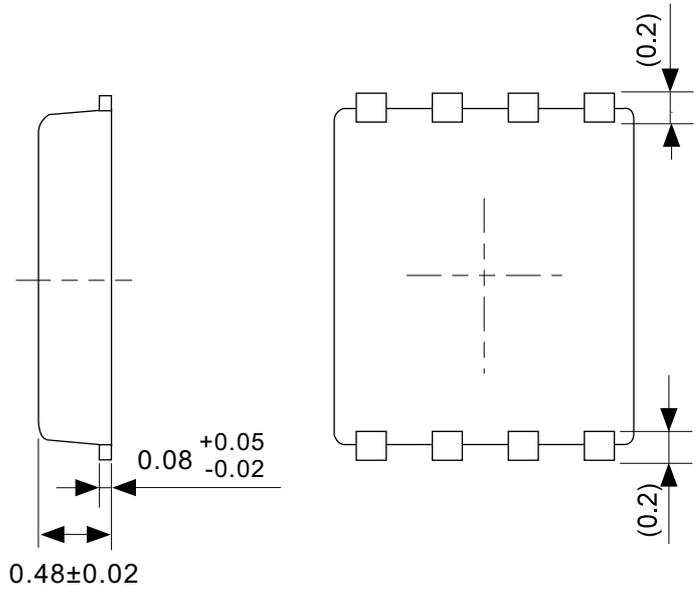
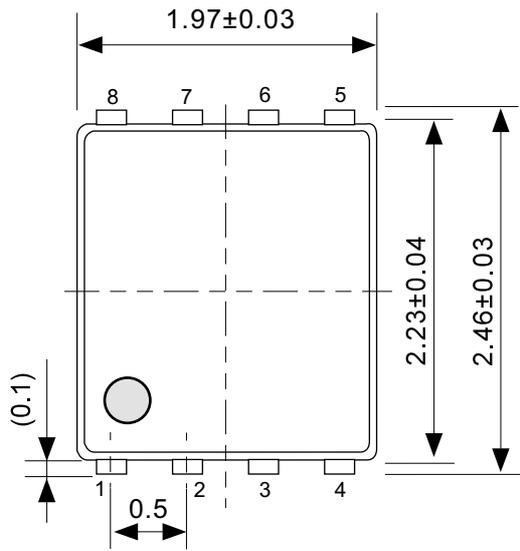


Enlarged drawing in the central part



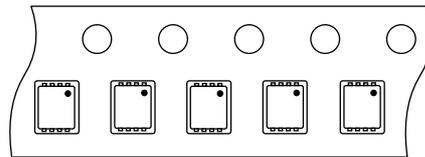
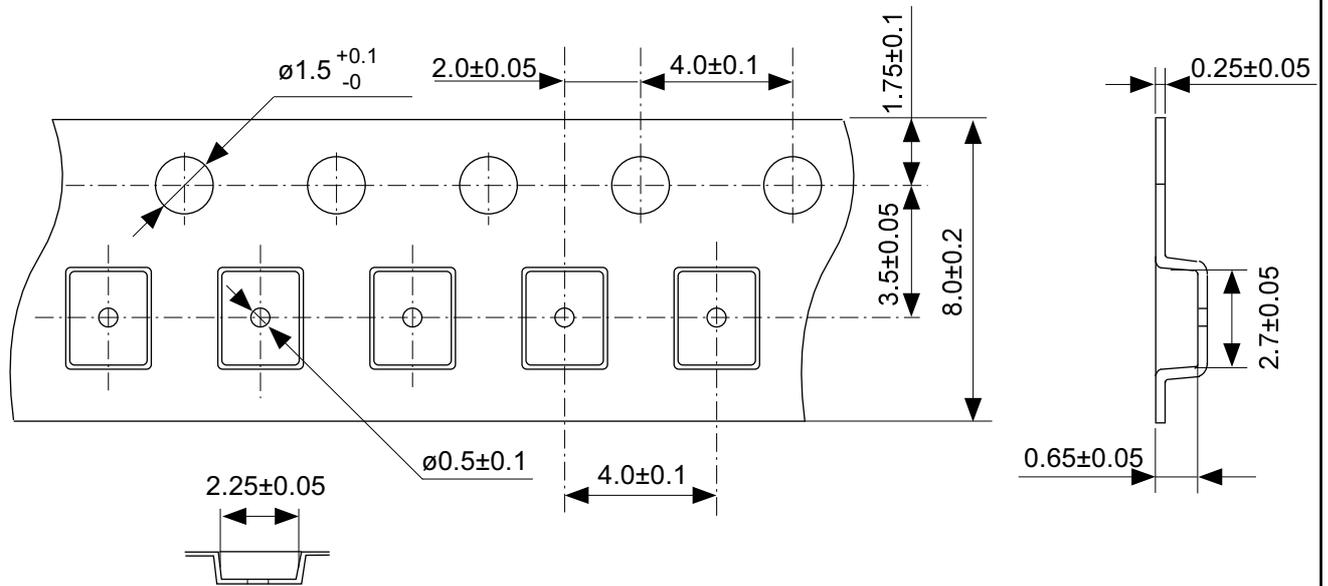
No. FM008-A-R-SD-2.0

| | | | |
|-------------------|------------------|------|-------|
| TITLE | TMSOP8-A-Reel | | |
| No. | FM008-A-R-SD-2.0 | | |
| ANGLE | | QTY. | 4,000 |
| UNIT | mm | | |
| | | | |
| ABLIC Inc. | | | |



No. PH008-A-P-SD-2.1

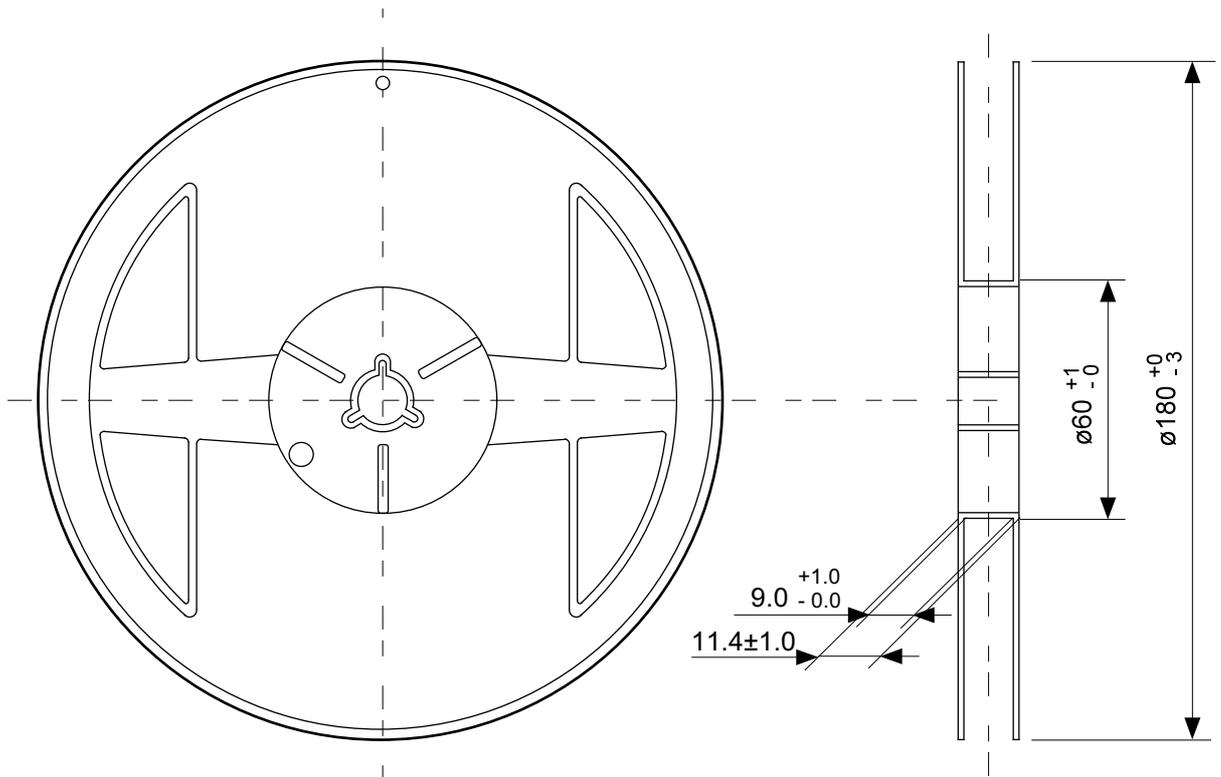
| | |
|-------------------|-------------------------|
| TITLE | SNT-8A-A-PKG Dimensions |
| No. | PH008-A-P-SD-2.1 |
| ANGLE | |
| UNIT | mm |
| ABLIC Inc. | |



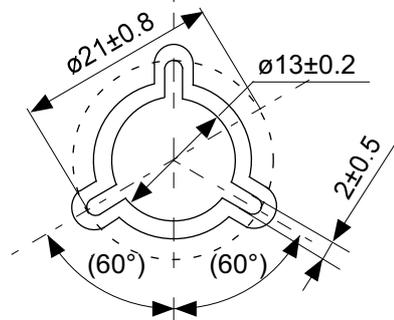
Feed direction →

No. PH008-A-C-SD-2.0

| | |
|-------------------|-----------------------|
| TITLE | SNT-8A-A-Carrier Tape |
| No. | PH008-A-C-SD-2.0 |
| ANGLE | |
| UNIT | mm |
| | |
| ABLIC Inc. | |

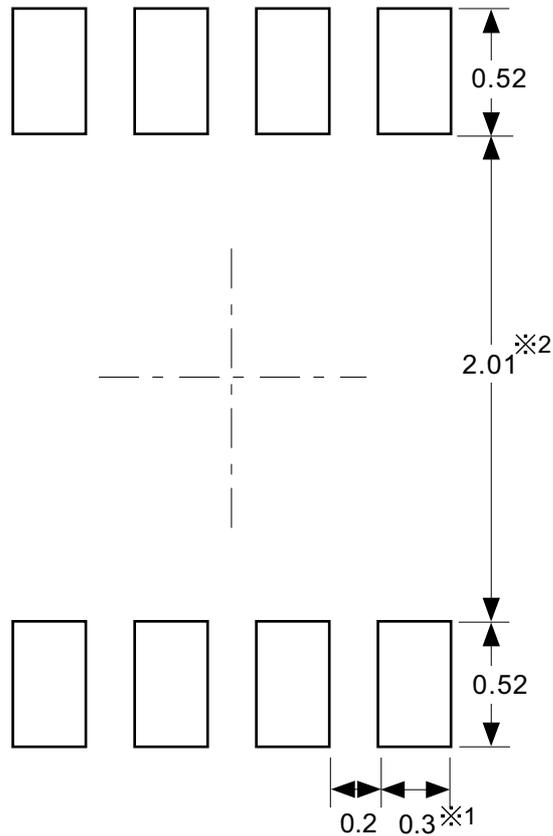


Enlarged drawing in the central part



No. PH008-A-R-SD-2.0

| | | | |
|-------------------|------------------|------|-------|
| TITLE | SNT-8A-A-Reel | | |
| No. | PH008-A-R-SD-2.0 | | |
| ANGLE | | QTY. | 5,000 |
| UNIT | mm | | |
| | | | |
| ABLIC Inc. | | | |



※1. ランドパターンの幅に注意してください (0.25 mm min. / 0.30 mm typ.).
 ※2. パッケージ中央にランドパターンを広げないでください (1.96 mm ~ 2.06 mm)。

- 注意
1. パッケージのモールド樹脂下にシルク印刷やハンダ印刷などしないでください。
 2. パッケージ下の配線上のソルダーレジストなどの厚みをランドパターン表面から0.03 mm以下にしてください。
 3. マスク開口サイズと開口位置はランドパターンと合わせてください。
 4. 詳細は“SNTパッケージ活用の手引き”を参照してください。

※1. Pay attention to the land pattern width (0.25 mm min. / 0.30 mm typ.).
 ※2. Do not widen the land pattern to the center of the package (1.96 mm to 2.06mm).

- Caution**
1. Do not do silkscreen printing and solder printing under the mold resin of the package.
 2. The thickness of the solder resist on the wire pattern under the package should be 0.03 mm or less from the land pattern surface.
 3. Match the mask aperture size and aperture position with the land pattern.
 4. Refer to "SNT Package User's Guide" for details.

※1. 请注意焊盘模式的宽度 (0.25 mm min. / 0.30 mm typ.).
 ※2. 请勿向封装中间扩展焊盘模式 (1.96 mm ~ 2.06 mm)。

- 注意
1. 请勿在树脂型封装的下面印刷丝网、焊锡。
 2. 在封装下、布线上的阻焊膜厚度 (从焊盘模式表面起) 请控制在 0.03 mm 以下。
 3. 钢网的开口尺寸和开口位置请与焊盘模式对齐。
 4. 详细内容请参阅 "SNT 封装的应用指南"。

No. PH008-A-L-SD-4.1

| | |
|-------------------|----------------------------------|
| TITLE | SNT-8A-A -Land Recommendation |
| No. | PH008-A-L-SD-4.1 |
| ANGLE | |
| UNIT | mm |
| | |
| ABLIC Inc. | |

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com